

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 9 月 16 日 (16.09.2004)

PCT

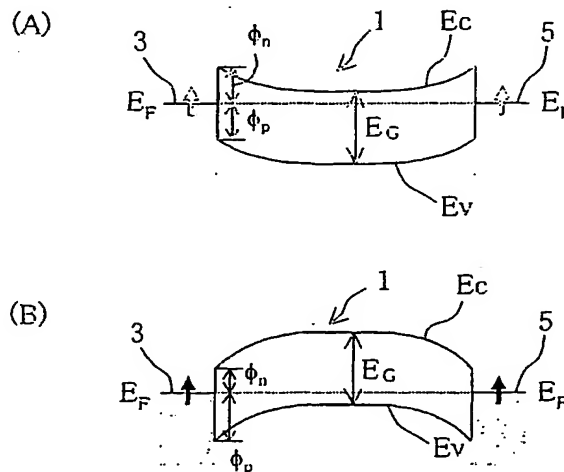
(10) 国際公開番号
WO 2004/079827 A1

- (51) 国際特許分類: H01L 29/82, 43/08, 27/105 TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目 1 番 8 号 Saitama (JP).
- (21) 国際出願番号: PCT/JP2004/000567
- (22) 国際出願日: 2004 年 1 月 23 日 (23.01.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-062453 2003 年 3 月 7 日 (07.03.2003) JP
特願2003-164398 2003 年 6 月 9 日 (09.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人科学技術振興機構 (JAPAN SCIENCE AND
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 菅原 聡 (SUGA-HARA, Satoshi) [JP/JP]; 〒2310821 神奈川県横浜市中区本牧原21-1-603 Kanagawa (JP). 田中 雅明 (TANAKA, Masaaki) [JP/JP]; 〒3360921 埼玉県さいたま市緑区井沼方647-6-201 Saitama (JP).
- (74) 代理人: 平木 祐輔, 外 (HIRAKI, Yusuke et al.); 〒1050001 東京都港区虎ノ門一丁目17番1号 虎ノ門5森ビル 3階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

/続葉有/

(54) Title: FIELD-EFFECT TRANSISTOR WITH SPIN-DEPENDENT TRANSMISSION CHARACTERISTIC AND NONVOLATILE MEMORY USING SAME

(54) 発明の名称: スピン依存伝達特性を有する電界効果トランジスタ及びそれを用いた不揮発性メモリ



(57) Abstract: When a gate voltage V_{GS} is applied, the Schottky barrier width due to the metallic spin band in the ferromagnetic source is decreased, and up-spin electrons from the metallic spin band are tunnel-injected into the channel region. However, down-spin electrons from the nonmagnetic contact (3b) are not injected because of the energy barrier due to semiconductive spin band of the ferromagnetic source (3a). That is, only up-spin electrons are injected into the channel layer from the ferromagnetic source (3a). If the ferromagnetic source (3a) and the ferromagnetic drain (5a) are parallel magnetized, up-spin electrons are conducted through the metallic spin band of the ferromagnetic drain to become the drain current. Contrarily, if the ferromagnetic source (3a) and the ferromagnetic drain (5a) are antiparallel magnetized, up-spin electrons cannot be conducted through the ferromagnetic drain (5a) because of the energy barrier E_C due to the semiconductive spin band in the ferromagnetic drain (5a). Thus, a high-performance high-degree of integration nonvolatile memory composed of MISFETs operating on the above operating principle can be fabricated.

(57) 要約: ゲート電圧 V_{GS} の印加によって、強磁性ソースにおける金属的スピンバンドによるショットキー障壁幅が減少し、この金属的スピンバンドからのアップスピン電子がチャネル領域にトンネル注

/続葉有/

BEST AVAILABLE COPY

WO 2004/079827 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

入される。このとき強磁性ソース3aの半導体的スピンバンドによるエネルギー障壁により非磁性コンタクト3bからダウンスピン電子は注入されない。すなわち、強磁性ソース3aからはチャネル層へアップスピン電子のみが注入される。強磁性ソース3aと強磁性ドレイン5aとが平行磁化の場合では、アップスピン電子は強磁性ドレインの金属的スピンバンドを伝導してドレイン電流となるが、反平行磁化を持つ場合では、アップスピン電子は強磁性ドレイン5aにおける半導体的スピンバンドによる高さ ΔE_c のエネルギー障壁によって強磁性ドレイン5aを伝導することができない。上記動作原理のMISFETに基づき、高性能・高集積密度の不揮発性メモリを構成することができる。

明 細 書

スピン依存伝達特性を有する電界効果トランジスタ及びそれを用いた不揮発性メモリ

技術分野

本発明は、新規なトランジスタに関し、より詳細には、スピン依存伝達特性を有する電界効果トランジスタ及びそれを用いた不揮発性メモリに関する。

背景技術

近年の高度情報化社会の発展は目覚しく、特に最近では“モバイル機器”を媒介として急速に民間に広がってきている。“モバイル機器”という大きな需要は今後の半導体産業の要になりうると認識されているが、この対応には半導体集積回路の高速化・低消費電力化・大容量化といった従来通りの高性能化に加え、情報の不揮発といった新たな要求に応じる必要が生じる。このような要求に対して、不揮発高密度記録として優れた強磁性体ストレージ技術と半導体集積エレクトロニクス技術とを融合させた新しいメモリデバイスが注目を集めている。このデバイスは磁気ランダムアクセスメモリ(magnetoresistive random access memory; 以下、「MRAM」と称する。)と呼ばれ、薄い絶縁性のトンネル障壁を強磁性電極で挟み込んだ構造を持つ強磁性トンネル接合(magnetic tunnel junction; 以下「MTJ」と称する)をその記憶素子として用いる(例えば、K. Inomata, “Present and future of magnetic RAM technology”, IEICE Trans. Electron. Vol.E84-C, pp740-746, 2001. 参照)。

MTJでは強磁性電極間の相対的な磁化の方向によってトンネル抵抗が異なる。これをトンネル磁気抵抗(tunneling magnetoresistance; 以下「TMR」と称する)効果と呼ぶ。TMRを用いれば、強磁性体の磁化状態を電氣的に検出することが可能となる。従って、MTJの存在によって強磁性体による情報の不揮発ストレージ技術を半導体集積エレクトロニクスに理想的に取り込むことが可能となる。

以下、図10を参照して従来技術の一例について説明する。図10に示すように、MRAMのメモリセル100では、1ビットのメモリセルを、1つのMTJ101と1つの金属-酸化物-半導体電界効果トランジスタ(以下「MOSFET」と称する。)103とにより構成する方法が主に用いられる。MTJ101は、第1の強磁性電極105と、第2の強磁性電極107と、両者の間に設けられた絶縁体により形成されたトンネル障壁(絶縁体)108とからなるトンネル接合である。

MOSFET103のソース(S)を接地(GND)し、ドレイン(D)をMTJ101の一方の強磁性電極107にプラグPLなどを用いて接続する。MTJ101の他方の強磁性電極105はビット線BLに接続し、書き換え用ワード線111は、MTJ101の直上または直下でMTJ101及び他の配線と、絶縁膜115により電氣的に絶縁した状態でビット線BLと交差するように配置する。読み出し用ワード線WLはMOSFET103のゲート電極Gに接続する。

強磁性体では、磁化の方向を不揮発に保持することができるので、MTJでは強磁性電極間の相対的な磁化状態を平行磁化または反平行磁化にすることによって、2値の情報を不揮発に記憶することができる。また、MTJではTMR効果によって2つの強磁性電極間にお

ける相対的な磁化状態でトンネル抵抗が異なる。よって、平行磁化、反平行磁化といった磁化状態に対応したトンネル抵抗を用いればMTJ内の磁化状態を電氣的に検出することができる。

情報の書き換えは、MTJ 101における2つの強磁性電極105、107の保持力を変えておくか、一方の強磁性電極の磁化方向を固定しておき、保持力の小さな強磁性電極または磁化方向の固定されていない強磁性電極を磁化反転させることによって行う。以下、磁化反転を行う強磁性電極をフリー層、磁化反転を行わない強磁性電極をピン層と呼ぶ。具体的には、選択セル上で交差するビット線BLと書き換え用ワード線111とのそれぞれに電流を流し、それぞれの電流によって誘起される磁界の合成磁界によって選択されたメモリセル100内のMTJ 101の磁化状態を平行磁化または反平行磁化に変化させる。この際、選択したセルと同一のビット線BLまたは書き換え用ワード線111を有する非選択セルが磁化反転しないように、一方の配線のみからの磁界では非選択セルのMTJ 101が磁化反転をしないようにそれぞれの配線に流す電流値を設定しておく。情報の読出しは、選択セルに接続された読み出し用のワード線WLに電圧を印加してMOSFET 103を導通させてから、ビット線BLを介して読み出し用の駆動電流をMTJ 101に流す。MTJ 101では、TMR効果によって平行磁化または反平行磁化の磁化状態に依存してトンネル抵抗が異なるため、読出し用の駆動電流によるMTJ 101における電圧降下（以下、「出力電圧」と呼ぶ）を検出すれば磁化状態を判定することができる（K. Inomata, “Present and future of magnetic RAM technology”, IEICE Trans. Electron. Vol.E84-C, pp740-746, 2001. 参照）。

発明の開示

MTJは、トンネル障壁を介して相対する強磁性電極の磁化状態が平行磁化であるか反平行磁化であるかに対応して2値の抵抗値をとる。この2値の情報のいずれの情報が記憶されているかを駆動電流で高感度に検出するためには、MTJ自身のインピーダンス（接合抵抗）を調節して出力電圧の大きさを最適化する必要がある。

さらに、情報の記憶内容を正確に読み出すために、平行磁化と反平行磁化との2つの磁化状態間における出力信号の比を大きくする必要がある。このためには、TMR比と呼ばれるMTJが平行磁化を持つ場合と反平行磁化を持つ場合とのそれぞれにおけるTMRの変化率を大きくする必要がある。TMR比は、強磁性電極のスピン分極率Pに依存するが、TMR比を大きくとるためには、Pの値が大きな強磁性体を強磁性電極に用いることが必要である。

また、MTJにおけるTMR比は、MTJに印加するバイアス電圧に強く依存し、バイアス電圧とともに急激に減少する。高感度にまたは高速に情報の読出しを行うために大きな駆動電流をMTJに流すと、MTJにおける電圧降下が大きくなり、TMR比が減少する。そこで、MTJにおける大きな電圧降下が生じてもTMR比が減少しないように、TMR比の耐バイアスが必要になる。

MRAMは、構造が簡単で、またMTJはナノスケールのサイズまで微細化できることから、高密度集積化に適したメモリである。数ギガビット以上の高集積度を実現しようとする、MOSFETのチャネル長は $0.1\ \mu\text{m}$ 程度以下となることが予想されるが、このような微細なトランジスタに合わせて微細なMTJを集積化しようとしても、コンタクト、多層配線がセル面積を占有するようになり、両者を超高密度に集積することが難しくなる。従って、より単純な構造を有

するメモリセルが望まれる。

本発明は、ソース及びドレインに強磁性体によるショットキー接合を用いた金属－絶縁体－半導体電界効果トランジスタ（MISFET）を提供することを目的とする。加えて、このトランジスタ単体で1ビットのメモリセルを構成することにより大容量・不揮発性記憶装置を提供することを目的とする。

図面の簡単な説明

図1は、本発明の第1の実施の形態によるMISFETの概略構成を示す断面図である。

図2（A）は、強磁性ソースと強磁性ドレインに強磁性金属を用いた図1の構造における蓄積nチャネル型MISFETの強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。図2（B）は、反転nチャネル型MISFETにおける強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。

図3は、本発明の第2の実施の形態によるMISFETの構造を示す図であり、図3（A）は、強磁性ソースと強磁性ドレインにハーフメタルを用いた図1の構造における蓄積nチャネル型MISFETの強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。図3（B）は、反転型nチャネルMISFETにおける強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。

図4は、図2（A）のエネルギーバンド構造を有するMISFETの動作原理を示す図であり、図4（A）は平衡状態におけるエネルギーバンド図であり、図4（B）は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図4（C）は、図4（B）の状態からさらに V_{GS} を印加した

場合のエネルギーバンド図であり、図 4 (D) は、図 4 (C) と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

図 5 は、図 2 (B) のエネルギーバンド構造を有する MISFET の動作原理を示す図であり、図 5 (A) は平衡状態におけるエネルギーバンド図であり、図 5 (B) は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図 5 (C) は、図 5 (B) の状態からさらに V_{GS} を印加した場合のエネルギーバンド図であり、図 5 (D) は、図 5 (C) と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

図 6 は、図 3 (A) のエネルギーバンド構造を有する MISFET の動作原理を示す図であり、図 6 (A) は平衡状態におけるエネルギーバンド図であり、図 6 (B) は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図 6 (C) は、図 6 (B) の状態からさらに V_{GS} を印加した場合のエネルギーバンド図であり、図 6 (D) は、図 6 (C) と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

図 7 は、図 3 (B) のエネルギーバンド構造を有する MISFET の動作原理を示す図であり、図 7 (A) は平衡状態におけるエネルギーバンド図であり、図 7 (B) は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図 7 (C) は、図 7 (B) の状態からさらに V_{GS} を印加した場合のエネルギーバンド図であり、図 7 (D) は、図 7 (C) と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の

場合のエネルギーバンド図である。

図 8 は、本実施の形態による M I S F E T のソース接地のドレイン電流－電圧特性の概念図である。

図 9 (a) は、本実施の形態による M I S F E T を用いたメモリ回路の一構成例を示す図である。図 9 (b) は、図 9 (a) に示すメモリ回路のビット線端に出力端子 V_o と、この出力端子 V_o から分岐して負荷 R_L を介し電源電圧 V_{DD} に接続したメモリ回路である。図 9 (c) は、図 9 (b) に示したメモリセルの静特性と動作点を示す図である。

図 1 0 は、一般的な M R A M に用いられるメモリセルの構造を示す断面図である。

図 1 1 は、本発明の各実施の形態によるメモリセル構造の一例であり、強磁性ソースを共通にした構成例を示す図である。

図 1 2 は、本発明の第 3 の実施の形態による M I S F E T の構造例を示すエネルギーバンド図である。

図 1 3 は、本発明の第 4 及び第 5 の実施の形態による M I S F E T の構造例を示すエネルギーバンド図であり、図 1 3 (A) は、ソース／ドレインに n 型強磁性半導体を用い、ソース／ドレイン間に真性半導体を用いた M I S F E T の構造例を、図 1 3 (B) は、ソース／ドレインに n 型強磁性半導体を用い、ソース／ドレイン間に p 型半導体を用いた M I S F E T の構造例を示す図である。

発明を実施するための最良の形態

本発明に係る金属－絶縁体－半導体電界効果トランジスタ(以下、「M I S F E T」と称する。)は、強磁性体からなるソースに対するドレイン(以下、それぞれ、「強磁性ソース」、「強磁性ドレイン」と称する。)の相対的な磁化の方向として情報を記憶し、この相対的な

磁化方向に依存する伝達特性を利用して記憶された情報を読み出す。従って、本発明に係るMISFETを用いると、トランジスタ単体で1ビットの不揮発性メモリセルを構成できることから、高速・大容量の不揮発性メモリを実現することが可能となる。

まず、本発明の第1の実施の形態によるMISFETについて図面を参照しつつ説明を行う。

図1は、本発明の第1の実施の形態によるMISFETの断面構造を示す図である。図1に示すように、本実施の形態によるMISFETは、一般的なMISFET（例えばSiMOSFETなど）と同様のゲート電極7と、ゲート絶縁膜11と、非磁性の半導体層1からなるMIS構造と、非磁性の半導体層1との間でショットキー接合を形成する強磁性体からなるソース（強磁性ソース）3とドレイン（強磁性ドレイン）5とを有している。強磁性ソースおよび強磁性ドレインには、Fe、Ni、Co、パーマロイ、CoFe合金（ $\text{Co}_{1-x}\text{Fe}_x$ ）、CoFeB合金（ $\text{Co}_{1-x-y}\text{Fe}_x\text{B}_y$ ）などの強磁性金属や、 Co_2MnSi などのホイスラーアロイ（Heusler alloy）、 CrO_2 、 Fe_3O_4 （Magnetite）、せん亜鉛鉍型のCrAs、CrSb、MnAsなどのハーフメタルを用いることができる。また、強磁性金属的なバンド構造を有する強磁性半導体やハーフメタルとなるバンド構造を有する強磁性半導体を用いることもできる。強磁性ソース3と強磁性ドレイン5は、強磁性体を非磁性の半導体層1上にエピタキシャル成長又は堆積により形成する。或いは、熱拡散またはイオン注入などの方法により非磁性の半導体層1中に磁性原子を導入することによって形成しても良い。また、図中の強磁性ソースと強磁性ドレイン上に示した矢印は磁化方向を示す。尚、ゲート絶縁膜としては、 SiO_2 、 Al_2O_3 や、高誘電率材料である HfO_2 な

どを用いることができる。

本実施の形態によるM I S F E Tでは、非磁性の半導体層（または半導体基板）1と同じ伝導型のキャリアを伝導キャリアとすることが可能であり、或いは、非磁性の半導体層1と反対の伝導型のキャリアを誘起して伝導キャリアとすることもできる。ここでは、便宜上、前者を蓄積チャネル型と称し、後者を反転チャネル型と称する。nチャネルのM I S F E Tを構成する場合には、蓄積チャネル型ではn型半導体を、反転チャネル型ではp型半導体を用いる。同様に、pチャネルのM I S F E Tの場合には、蓄積チャネル型ではp型半導体を用い、反転チャネル型ではn型半導体を用いる。以後、nチャネルの蓄積チャネル型を蓄積nチャネル型と称し、nチャネルの反転チャネル型を反転nチャネル型と称する。pチャネルに対しても、nチャネルの場合と同様に蓄積pチャネル型、反転pチャネル型と呼ぶ。

また、実際のチャネルの有無に関わらず、ゲート絶縁膜/半導体界面の直下の半導体領域をチャネル領域と呼ぶ。以下、強磁性ソースと強磁性ドレインとに強磁性金属を用いた場合と、ハーフメタルを用いた場合とのそれぞれにおける蓄積nチャネル型と反転nチャネル型トランジスタのエネルギーバンド構造について説明する。尚、以下において詳細な説明は省略するが、同様にして蓄積pチャネル型と反転pチャネル型のM I S F E Tを構成できる。本発明では、エンハンスメント型及びデプレッション型のM I S F E Tを構成することができるが、以下ではエンハンスメント型について述べる。また本来“スピン”といった用語はスピン角運動量に関連して用いる用語であるが、以下ではアップスピンを有する電子を単にアップスピンなどと呼ぶようにキャリアの意味でも用いる。

図2（A）及び図2（B）は、強磁性体として強磁性金属を用いた

場合のエネルギーバンド図であり、図 3 (A) 及び図 3 (B) は、強磁性体として、ハーフメタルを用いた場合のエネルギーバンド図である。

図 2 (A) は、強磁性ソース及び強磁性ドレインに強磁性金属を用いた場合の、蓄積 n チャネル型 M I S F E T のチャネル領域近傍におけるエネルギーバンド構造を示す図である。強磁性ソース 3 と強磁性ドレイン 5 は、非磁性の n 型半導体層 1 と強磁性金属 (3, 5) とをショットキー接合することによって形成する。図 2 (A) における強磁性ソース 3 およびドレイン 5 上に示した実線と n 型半導体層 1 上に示した点線は、フェルミエネルギー E_F を表す。 E_G は半導体のバンドギャップを表す。

E_C と E_V は、それぞれ半導体層 1 の伝導バンドの底と価電子バンドの頂上を表す。 E_F 、 E_C 、 E_V 、 E_G は、以下の図でも同様の意味で用いる。 ϕ_n は強磁性金属と n 型半導体とのショットキー接合の障壁高さである。すなわち、フェルミエネルギー E_F と接合界面における n 型半導体層 1 の伝導体底 E_C とのエネルギー差を表す。また、強磁性ソース 3 と強磁性ドレイン 5 のフェルミエネルギー上に示した矢印は多数スピンの向きを表し、上向きであればアップスピン、下向きであればダウンスピンを表す。また、少数スピンの表示は省略している。以下、強磁性金属を用いる場合では同様にして多数スピンの向きをバンド図上に表示する。

図 2 (B) は、強磁性ソースと強磁性ドレインとに強磁性金属を用いた場合の、反転 n チャネル型 M I S F E T のチャネル領域近傍におけるバンド構造を示す図である。強磁性金属からなる強磁性ソース 3 及び強磁性ドレイン 5 と p 型半導体層 1 とが、ショットキー接合を形成している。 ϕ_p は強磁性金属と p 型半導体層 1 とのショットキー接

合の障壁高さであり、フェルミエネルギー E_F と接合界面における p 型半導体層の価電子バンド頂上 E_v とのエネルギー差である。 ϕ_n は、フェルミエネルギー E_F と接合界面における p 型半導体層の伝導バンド底 E_c とのエネルギー差を表す。

次に、本発明の第 2 の実施の形態による M I S F E T について図面を参照しつつ説明を行う。

図 3 (A) は、本実施の形態による M I S F E T であって、強磁性ソースと強磁性ドレインとにハーフメタルを用いた場合における蓄積 n チャネル型 M I S F E T のチャネル領域近傍におけるバンド構造を示す図である。ハーフメタルは、一方のスピンの対しては金属的なバンド構造（以下、「金属的スピンバンド」と称する。）をとるが、もう一方（他方）のスピンの対して半導体（絶縁体）的となるバンド構造（以下、「半導体的スピンバンド」と称する。）を有する。すなわち、ハーフメタルでは、一方のスピンの対しては途中まで占有されたバンドを有し、他方のスピンの対しては完全に満たされたバンド（価電子バンド）がバンドギャップによって空のバンド（伝導バンド）と分離している。従って、フェルミエネルギー E_F は、一方のスピンの金属的スピンバンドを横切るが、他方のスピンの対してはバンドギャップ中を横切り、キャリアの伝導は、金属的スピンバンドに属する一方のスピンのみが担うことになる。

図 3 (A) において、強磁性ソース 3 a および強磁性ドレイン 5 a 上中央に示した実線はハーフメタルにおけるフェルミエネルギー E_F である。すなわち、 E_F は、金属的スピンバンドのフェルミ面となる。また、 E_F の上下に示した実線 E_c^{HM} 、 E_v^{HM} は、それぞれ、半導体的スピンバンドにおける伝導バンドの底および価電子バンドの頂上を表す。 E_c^{HM} は、ハーフメタル (3 a · 5 a) の半導体的スピンバン

ドのバンドギャップを表す。ハーフメタル (3 a · 5 a) を用いて蓄積 n チャネル型の MISFET を形成する場合には、ハーフメタル (3 a · 5 a) における金属的スピンバンドと n 型半導体層 1 とが、障壁高さ ϕ_n のショットキー接合を形成する必要がある。また、この接合によって、ハーフメタル (3 a · 5 a) における半導体的スピンバンドにおける伝導バンドの底は、n 型半導体層 1 の伝導バンドの底よりも高いエネルギーを有し、界面において、エネルギー不連続 ΔE_c を形成するようにすることが好ましい。

エネルギー不連続 ΔE_v は、ハーフメタル (3 a · 5 a) における半導体的スピンバンドの価電子バンド頂上のエネルギーと接合界面における n 型半導体層 1 における価電子バンド頂上のエネルギーとのエネルギー差である。以下でも、同様にハーフメタルを強磁性ソース 3 a と強磁性ドレイン 5 a とに用いた場合に、半導体的スピンバンドにおける伝導バンドおよび価電子バンドの半導体層 1 との接合界面におけるエネルギー不連続量を、それぞれ ΔE_c と ΔE_v とする。

また、図中には、ハーフメタルからなる強磁性ソース 3 a と強磁性ドレイン 5 a に接合された非磁性コンタクト 3 b · 5 b のフェルミエネルギーも示してある。従って、図 1 の強磁性ソース 3 は、ハーフメタルを用いた場合では、強磁性ソース 3 a と非磁性コンタクト 3 b からなる。強磁性ドレインについても同様である。また、以下で強磁性金属又はハーフメタルの指定なく強磁性ソース 3 又は強磁性ドレイン 5 と記述する場合は強磁性ソース 3 a と強磁性ドレイン 5 a を含むものとする。 ϕ_n' は、この非磁性コンタクト 3 b · 5 b のフェルミエネルギー E_F とハーフメタル (3 a · 5 a) における半導体的スピンバンドにおける伝導バンド E_c^{HM} とのエネルギー差である。

図 3 (B) に、強磁性ソースと強磁性ドレインとにハーフメタルを

用いた場合の反転 n チャネル型 M I S F E T のチャネル領域近傍におけるバンド構造を示す。

強磁性ソース 3 a と強磁性ドレイン 5 a とは、p 型半導体層 1 とハーフメタルの金属的スピンバンドとをショットキー接合することによって形成する必要がある。 ϕ_p は、ハーフメタル (3 a · 5 a) における金属的スピンバンドと p 型半導体層 1 とのショットキー接合の障壁高さである。 ϕ_n は、ハーフメタル (3 a · 5 a) におけるフェルミエネルギー E_F と接合界面における p 型半導体層 1 の伝導体底 E_c とのエネルギー差を表す。また、ハーフメタル (3 a · 5 a) の半導体的スピンバンドにおける伝導バンドの底は、p 型半導体層 1 の伝導体の底に比べてエネルギーが高く、界面において、 ΔE_c のエネルギー不連続を生じていることが好ましい。

また ϕ_p' 及び ϕ_n' は、それぞれ、フェルミエネルギーとハーフメタル (3 a · 5 a) における半導体的スピンバンドの伝導バンドの底 E_c^{HM} 及び価電子バンドの頂上 E_v^{HM} との差である。

以下に、上述した本実施の形態による各 M I S F E T の動作原理について図面を参照して説明を行う。本実施の形態による M I S F E T において、強磁性ソースはチャネルにスピンを注入するスピンインジェクタとして機能し、また、強磁性ドレインはチャネルに注入された伝導キャリアのスピンの向きを電気信号として検出するスピンアナライザとして機能する。本実施の形態による M I S F E T では、上述のように強磁性ソースと強磁性ドレインとに、強磁性金属を用いることもできるし、ハーフメタルを用いることも可能である。さらに、ソースとドレインの一方が強磁性金属、他方がハーフメタルでも良い。

以下、強磁性ソースに対する強磁性ドレインの相対的な磁化の方向が同方向である場合を平行磁化とし、これらの相対的な磁化方向が互

いに反対方向の場合を反平行磁化とする。また、M I S F E T のチャネル長は、スピンの緩和距離より十分短いものとし、また、ゲート電圧による R a s h b a 効果を無視する。

図 4 (A) から図 4 (D) までを参照して強磁性ソースと強磁性ドレインとに強磁性金属を用いた蓄積 n チャネル型 M I S F E T の動作原理を説明する。図 4 (A) は平衡状態におけるエネルギーバンド図であり、図 2 (A) に対応する図である。

図 4 (A) の平衡状態から、強磁性ソース 3 とゲート電極 7 との間にバイアス V_{gs} を $V_{gs} = 0$ として、強磁性ソース 3 と強磁性ドレイン 5 との間にバイアス V_{ds} を印加すると、 V_{ds} を強磁性ソース 3 のショットキー接合と強磁性ドレイン 5 のショットキー接合とで分圧し、図 4 (B) に示すようなポテンシャルとなる。強磁性ドレイン 5 のショットキー接合は順バイアスされており、チャネル中央部の伝導帯の底から見たドレイン側ショットキー接合の障壁高さは減少（または消失）するが、強磁性ソース 3 のショットキー接合は、逆バイアスされており、チャネル中央部の伝導帯の底から見たソース側ショットキー接合では障壁高さが増加する。このとき、 V_{ds} は、強磁性ソース 3 のフェルミエネルギー E_F がソース側ショットキー障壁のバンド端を横切るように印加するが、トンネル効果による電流はほとんど生じない程度の大きさのバイアスである。すなわち、ソース側ショットキー接合界面から強磁性ソース 3 のフェルミエネルギーとこのショットキー障壁のバンド端とが交差するまでの距離 d は、強磁性ソース 3 からチャネルにキャリアのトンネル効果が生じない程度に十分厚い。ソース側のショットキー接合は逆バイアスされているため、強磁性ソース 3 から高さ ϕ_n の障壁を熱的に乗り越えるキャリアによるショットキー接合の逆方向飽和電流程度の電流が生じるが、 ϕ_n を適切に選定す

ることによりこの電流成分を十分に抑制し、小さくすることが可能である。従って、 $V_{GS} = 0$ ではMISFETは遮断状態となる。

次に、ゲート電極7（図1）にバイアス $V_{GS} (> 0)$ を印加すると、ゲート電極7から強磁性ソース3に向かう電気力線によって、ソース側ショットキー障壁近傍の電界が強められ、図4（C）に示すようにショットキー障壁の障壁幅が減少する（図中の d' ）。従って、強磁性ソース3の伝導電子は、このポテンシャル障壁をトンネル効果によって透過してゲート絶縁膜11直下のチャネル領域に注入される。この際、強磁性ソース3からは多数スピンと少数スピンの電子が注入されるが、多数スピンのキャリア密度が少数スピンよりも大きいので注入電子はスピン偏極する。注入電子のスピン偏極率は強磁性ソース3のフェルミエネルギー近傍におけるスピン分極率に依存し、このスピン分極率が大きいほど注入電子のスピン偏極率は大きい。

以下、スピン偏極した電子をスピン偏極電子と呼ぶ。スピン偏極電子の多数スピンおよび少数スピンは、それぞれ強磁性ソース3の多数スピンおよび少数スピンと平行である。チャネルに注入されたスピン偏極電子は、 V_{GS} によってゲート絶縁膜／半導体界面に引き付けられながら、 V_{DS} によって強磁性ドレイン5のショットキー障壁界面まで輸送される。強磁性ソース3と強磁性ドレイン5とが平行磁化を持つ場合には、スピン偏極電子の多数スピンと少数スピンは、それぞれ強磁性ドレイン5の多数スピンと少数スピンとに平行である。従って、強磁性ドレイン5に注入されたスピン偏極電子は、スピン依存散乱をほとんど受けることなく強磁性ドレイン5を伝導して強磁性ドレインに流れ込む電流となる（以下、この電流を「ドレイン電流」と称する。）。特に、強磁性ソース3と強磁性ドレイン5とが平行磁化の場合に、ある定められたドレイン電流の生じる V_{GS} をしきい値 V_T とする。

一方、強磁性ソース 3 と強磁性ドレイン 5 とが反平行磁化を持つ場合では、チャンネルに注入されたスピン偏極電子のうち多数スピンは、強磁性ドレイン 5 の多数スピンと反平行である(図 4(D))。よって、チャンネルのスピン偏極電子は、強磁性ドレイン 5 においてスピン依存散乱による電気抵抗を生じる。従って、M I S F E T が同一バイアス下にあっても、反平行磁化の場合ではこのスピン依存散乱によって平行磁化の場合に比べてドレイン電流が減少する。すなわち、強磁性ソース 3 と強磁性ドレイン 5 との間の相対的な磁化状態が平行磁化を持つ場合の伝達(相互)コンダクタンスに比べて、反平行磁化を持つ場合の伝達コンダクタンスは小さくなる。また、チャンネル長がキャリアのエネルギー緩和に対する平均自由行程以下であれば、チャンネル内をキャリアがバリスティックに伝導するため、トンネル磁気抵抗効果と類似の磁気抵抗効果が期待できる。この場合では平行磁化と反平行磁化における伝達コンダクタンスの変化はより大きくなる。

図 5 (A) から図 5 (D) までは、強磁性金属をソース 3 とドレイン 5 に用いた反転 n チャンネル型の M I S F E T の動作原理を示す図である。平衡状態から(図 5 (A))、 $V_{GS} = 0$ の状態で $V_{DS} (> 0)$ を印加すると、図 5 (B) に示すように強磁性ソース 3 が順バイアスされ、強磁性ドレイン 5 が逆バイアスされる。チャンネル領域が p 型であるため、強磁性ドレイン 5 から正孔が注入されれば電流が生じるが、強磁性ドレイン 5 の逆バイアスされたショットキー接合によって正孔はほとんど注入されない。熱的に ϕ_p を乗り越えた正孔によるショットキー接合の逆方向飽和電流程度の小さな電流が生じるが、 ϕ_p を適切に選べば、この電流を十分に小さくできる。従って、 $V_{GS} = 0$ の場合では M I S F E T は遮断状態となる。

ゲート電極 7 (図 1) にデバイス構造から決まるあるしきい値 V_T

以上の V_{gs} ($> V_T$) を印加すると、ゲート絶縁膜／半導体界面に電子が誘起され反転層が形成される（従って、反転チャネル型と蓄積チャネル型ではしきい値 V_T の定義が異なるが、便宜上、いずれの場合でも、しきい値を V_T と記載する）。このとき、チャネル領域における強磁性ソース 3 および強磁性ドレイン 5 のそれぞれの接合界面では、反転層の電子に対して障壁高さ ϕ_p の障壁が形成されるが、 V_{ds} によって強磁性ドレイン 5 の接合および強磁性ソース 3 の接合は図 5 (c) のようにバイアスされる。

上述のように、十分に大きな ϕ_p を選んでおけば、 $\phi_p (= E_g - \phi_n)$ は小さく、強磁性ソース 3 から熱放出によってスピン偏極電子がチャネルに注入される。また、強磁性ソース 3 からキャリアを熱放出できるほど ϕ_p が小さくなくない場合でも、蓄積チャネル型と同様に強磁性ソース 3 側のショットキー障壁をトンネルして強磁性ソース 3 からチャネルにスピン偏極電子を注入することも可能である。

チャネルに注入されたスピン偏極電子は、 V_{ds} によって強磁性ドレイン 5 側のショットキー障壁界面まで輸送される。強磁性ソース 3 と強磁性ドレイン 5 とが平行磁化を持つ場合では、スピン偏極電子の多数スピンと少数スピンとは、それぞれ強磁性ドレイン 5 の多数スピンと少数スピンのに対して平行である。従って、平行磁化の場合では、蓄積チャネル型の場合と同様に、強磁性ドレイン 5 に注入されたスピン偏極電子はスピン依存散乱をほとんど受けることなく強磁性ドレイン 5 を伝導してドレイン電流となる。

一方、図 5 (D) に示すように、強磁性ソース 3 と強磁性ドレイン 5 とが反平行磁化を持つ場合では、チャネルに注入されたスピン偏極電子の多数スピンは強磁性ドレイン 5 の多数スピンと反平行である。従って、スピン偏極電子は強磁性ドレイン 5 でスピン依存散乱による

電気抵抗を生じる。よって、反転チャネル型でも、強磁性ソース 3 と強磁性ドレイン 5 との間の相対的な磁化状態に基づき M I S F E T の伝達コンダクタンスが変化する。すなわち、同一バイアス下であっても、強磁性ソース 3 と強磁性ドレイン 5 とが反平行磁化の場合には平行磁化の場合に比べてドレイン電流は小さくなる。また、蓄積チャネル型の場合と同様に、チャネル長がキャリアのエネルギー緩和に対する平均自由行程以下であれば、トンネル磁気抵抗効果と類似の磁気抵抗効果が期待できるため、平行磁化と反平行磁化における伝達コンダクタンスの変化はより大きくなる。

次に、強磁性体としてハーフメタルを用いた場合について説明する。図 6 (A) から図 6 (D) までを参照して、ハーフメタルを強磁性ソースと強磁性ドレインに用いた場合の蓄積 n チャネル型 M I S F E T の動作原理を説明する。図 6 (A) は平衡状態におけるエネルギーバンド図であり、図 3 (A) に対応する図である。

図 6 (B) は、 $V_{gs} = 0$ の状態で、 $V_{ds} (> 0)$ を印加した場合のポテンシャル形状を示す図である。以下では、図 6 (B) に示すように、強磁性ソース 3 a の金属的スピンバンドに属するスピンをアップスピンとし、半導体的スピンバンドに属するスピンをダウンスピンとする。金属的スピンバンドに属するアップスピンに対しては、半導体層 1 との接合界面において、障壁高さ ϕ_n のショットキー接合が形成されるため、 V_{ds} はソース側ショットキー接合とドレイン側ショットキー接合とによって分圧される。従って、強磁性ドレイン 5 a のショットキー接合は順バイアスされ、強磁性ソース 3 a のショットキー接合は逆バイアスされる。このとき、 V_{ds} は、強磁性ソース 3 a のフェルミエネルギー E_F がソース側ショットキー障壁のバンド端を横切るように印加するが、ショットキー接合の障壁幅 d は強磁性ソース 3 a

の金属的スピنبンドからアップスピンのトンネルしない程度に厚くしておく。すなわち、 $V_{gs}=0$ の状態では、強磁性ソース 3 a の金属的スピنبンドのアップスピンはチャネル領域へのトンネル注入が抑制されている。また、ショットキー接合の障壁高さ ϕ_n を熱的に乗り越えることによって生じるショットキー接合の逆方向飽和電流としてアップスピンがチャネル領域に注入できるが、 ϕ_n の値を適切に選ぶことによりこの電流値を十分に小さくできる。

一方、ダウンスピンを有する強磁性ソース 3 a の半導体的スピنبンドのバンドギャップにより、強磁性ソース 3 a の半導体的スピنبンドと非磁性コンタクト 3 b との間に障壁高さ ϕ_n' のエネルギー障壁が形成される。強磁性ソース 3 a の半導体的スピنبンドには伝導キャリアが存在しないことから、ダウンスピンが半導体層 1 に注入されるためには、非磁性コンタクト 3 b からダウンスピンが強磁性ソース 3 a の半導体的スピنبンドをトンネルするか、熱的に障壁を乗り越えなければならない。強磁性ソース 3 a の膜厚を十分に厚くし、かつ、非磁性金属電極 3 b から見たエネルギー障壁の障壁高さ ϕ_n' を十分な高さに選べば、ダウンスピンがチャネル領域に注入される確率は極めて低くできる。キャリアの注入は生じない。従って、 $V_{gs}=0$ の状態では、アップスピン及びダウンスピンによる電流はほとんど生じず、MISFETは遮断状態となる。

次に、図 6 (C) に示すように、ゲート電極 7 (図 1) にバイアス $V_{gs}(>0)$ を印加すると、ゲート電極 7 (図 1) から強磁性ソース 3 a に向かう電気力線によって、ソース側ショットキー障壁近傍の電界が強められ、強磁性ソースにおける金属的スピنبンドに対するショットキー障壁の障壁幅が減少する(図 6 (C) 中の d' 参照)。従って、強磁性ソース 3 a の金属的スピنبンドからアップスピンはこのシ

ショットキー障壁をトンネルしてゲート絶縁膜直下の半導体層 1 のチャンネル領域に注入される。この際、ダウンスピンに対しては強磁性ソース 3 a の半導体的スピンバンドによる障壁高さ ϕ_n のエネルギー障壁によって非磁性コンタクト 3 b からダウンスピンはほとんど注入されない。従って、ハーフメタルにより形成される強磁性ソース 3 a は、選択的にアップスピンのみを注入する。

チャンネルに注入されたアップスピンは、 V_{ds} によって強磁性ドレイン 5 a 側のショットキー障壁界面まで輸送される。強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化を持つ場合では、注入されたアップスピンは強磁性ドレイン 5 a の金属的スピンバンドのスピンと平行である。従って、強磁性ドレイン 5 a に注入されたアップスピンは、スピン依存散乱をほとんど受けることなく強磁性ドレイン 5 a を伝導して、ドレイン電流となる。特に、強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化を持つ場合に定められたあるドレイン電流の生じる V_{gs} を V_T と定義する。

一方、図 6 (D) に示すように、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には、チャンネルに注入されたアップスピンは強磁性ドレイン 5 a の金属的スピンバンドのスピンと反平行となり、半導体的スピンバンドのスピンと平行となる。従って、チャンネルに注入されたアップスピンは、強磁性ドレイン 5 a を障壁高さ ΔE_c のエネルギー障壁として感じる。このチャンネルのアップスピンがトンネルできないように、または、熱的にこの障壁を乗り越えることができないように、強磁性ドレイン 5 a の膜厚と ΔE_c とを選んでおけば、非磁性ソース電極 3 b から注入されたアップスピンは強磁性ドレイン 5 a をほとんど伝導することができない。よって、ドレイン電流はほとんど生じない。従って、強磁性ドレイン 5 a におけるハー

フメタルは金属的スピンバンドのスピンと平行なスピンのみを通過させ、反平行のスピンを通過させない。

ハーフメタルからなる強磁性ソース 3 a からは、極めてスピン偏極率の高いスピン偏極電子をチャネルに注入することができ、また、ハーフメタルにより形成された強磁性ドレイン 5 a のスピン選択率は極めて大きいため、強磁性ソース 3 a と強磁性ドレイン 5 a 間の相対的な磁化状態が反平行磁化の場合には平行磁化の場合に比べてドレイン電流は非常に小さくなる。従って、ハーフメタルを用いた場合には、通常の強磁性金属を用いた場合に比べて強磁性ソース 3 a と強磁性ドレイン 5 a との相対的な磁化状態が平行磁化である場合と反平行磁化である場合のそれぞれにおけるドレイン電流の比を極めて大きくすることができる。

次に、ハーフメタルを強磁性ソースと強磁性ドレインとに用いた反転 n チャネル型 M I S F E T の動作原理について図 7 (A) から図 7 (D) までを参照して説明する。以下でも、ハーフメタルにより形成された強磁性ソース 3 a の金属的スピンバンドに属するスピンをアップスピンとし、半導体的スピンバンドに属するスピンをダウンスピンとする。

図 7 (A) は、平衡状態におけるエネルギーバンド図であり、図 3 (B) に対応する。 $V_{GS} = 0$ の状態で V_{DS} を印加した場合、半導体層 1 が p 型半導体であるため、ドレイン側から正孔が注入されれば M I S F E T に電流が生じるが、強磁性ドレイン 5 a におけるハーフメタルの金属的スピンバンドによるショットキー接合が逆バイアスされ、正孔の注入が抑制されている。但し、ショットキー接合の逆方向飽和電流程度の電流は生じるが、 ϕ_0 を適切に選定することによってこの電流を十分に小さくできる。

また、強磁性ドレイン 5 a の半導体的スピンバンドによるエネルギー障壁 ϕ_p' によってドレイン側非磁性コンタクト 5 b から、正孔の注入は抑制されている。従って、図 7 (B) に示す場合には M I S F E T は遮断状態となる。

ゲート電極にしきい値 V_T 以上の V_{GS} を印加すると、ゲート絶縁膜／半導体界面に電子が誘起され反転層が形成される(従って、反転チャネル型と蓄積チャネル型では V_T の定義が異なる)。この際、図 7 (C) に示すように反転層と強磁性ソース 3 a および強磁性ドレイン 5 a のそれぞれの接合界面では、ハーフメタルの金属的スピンバンドによる障壁高さ ϕ_n の障壁が形成される。

V_{DS} の印加によって強磁性ドレイン 5 a および強磁性ソース 3 a の接合は図 7 (C) に示すようにバイアスされる。十分大きな ϕ_p を選んでおけば、 $\phi_n (= E_G - \phi_p)$ は小さく、強磁性ソース 3 a の金属的スピンバンドから熱放出によってアップスピンがチャネルに注入される。また、強磁性ソース 3 a からアップスピンを熱電子注入できるほど ϕ_n が小さくない場合でも、蓄積チャネル型と同様にトンネル注入によって強磁性ソース 3 a の金属的スピンバンドからチャネルへアップスピンを注入することも可能である。一方、強磁性ソース 3 a の半導体スピンバンドによってダウンスピンは、ほとんど注入されない。

チャネルに注入されたアップスピンは、 V_{DS} によってドレイン側の接合界面まで輸送される。強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化を持つ場合は、チャネルに注入されたアップスピンは強磁性ドレイン 5 a における金属的スピンバンドのスピンの平行である。従って、アップスピンは強磁性ドレイン 5 a の金属的スピンバンドを伝導してドレイン電流となる。

図 7 (D) に示すように、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には、チャンネルに注入されたアップスピンは強磁性ドレイン 5 a の金属的スピンバンドのスピンとは反平行であり、強磁性ドレイン 5 a の半導体的スピンバンドと平行である。従って、チャンネルに注入されたアップスピンは強磁性ドレイン 5 a を障壁高さ ΔE_c のエネルギー障壁として感じる。チャンネルのアップスピンのトンネルできないように、または、熱的に障壁高さ ΔE_c のエネルギー障壁を乗り越えることができないように、強磁性ドレイン 5 a の膜厚と ΔE_c とを選定しておけば、ドレイン電流成分はほとんど生じない。

従って、強磁性ドレイン 5 a におけるハーフメタルは金属的スピンバンドのスピンと平行なスピンのみを通過させることから、強磁性ソース 3 a と強磁性ドレイン 5 a との間の相対的な磁化状態により伝達コンダクタンスを制御することができる。すなわち、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には平行磁化の場合に比べてドレイン電流は小さくなる。

上述の強磁性金属またはハーフメタルによる強磁性ソース (3 又は 3 a) および強磁性ドレイン (5 又は 5 a) を有する MISFET において、半導体層 1 をアンドープの半導体又は真性半導体に置き換えることもできる。この場合に生じる強磁性金属と半導体との接合で生じる障壁構造はショットキー障壁と異なるが、この障壁構造によっても同様の MISFET の動作を期待できる。この MISFET では、チャンネル領域を真性半導体で構成しているため、チャンネル領域における不純物散乱の影響がなく、伝導キャリアに関して大きな移動度を期待することができる。特に、ナノスケールの短チャンネルの MISFET では、高速化に有効なキャリアのバリスティック伝導も期待できる。

また、このM I S F E Tでは、極微細化した低しきい値のM I S F E Tを高密度に集積化した場合においても、しきい値のバラツキは本質的に生じないという利点がある。さらに、真性半導体からなるチャネルは、S O I構造にも適する。従って、真性半導体をチャネル領域に用いることにより、本発明のM I S F E T及びこれを用いた不揮発性メモリ（後述）の性能を一層向上させることができる。

次に、本発明の第3の実施の形態によるM I S F E Tについて図面を参照しつつ説明を行う。本実施の形態によるM I S F E Tにおいては、強磁性ソースと強磁性ドレインとは、所望の障壁高さとなる薄い金属層と半導体層とのショットキー接合を形成し、この金属層の上に強磁性金属やハーフメタルを形成している。図12は、本実施の形態によるM I S F E Tの構造例を示すエネルギーバンド図である。図12に示すように、本実施の形態によるM I S F E Tは、強磁性金属23及び25をソースとドレインにそれぞれ用い、半導体層21と強磁性金属23及び25とのそれぞれの界面に障壁高さを制御するための薄い金属層23a、25aを導入した構造を有している。所望のバリア高さ ϕ_b を得られる金属23a、25aと半導体層21とのショットキー接合をまず形成し、この金属層23a、25aの上にそれぞれ強磁性金属層23、25を形成する。この金属層23a、25aの具体的材料としては、Siを半導体層21とした場合に、 $E_r Si_x$ 、 $Pt Si_x$ などのシリサイドを用いることが考えられる。

尚、上記強磁性金属層23、25のそれぞれを、第2の実施の形態において説明したハーフメタルに置き換えた構造、すなわち、ハーフメタルによる強磁性ソースと強磁性ドレインとを有するM I S F E Tを用いても、図12の構造と同様にショットキー障壁高さを制御することが可能である。この構造に関しても、本発明の範疇に入るもの

である。或いは、強磁性金属又はハーフメタルと、半導体層と、の界面に、強磁性金属又はハーフメタルとの間に所望のショットキー障壁高さの得られる別の半導体を挿入しても良い。或いは、ショットキー障壁高さの制御のために、強磁性金属又はハーフメタルと、半導体層と、の界面に金属/半導体ヘテロ構造を挿入しても良い。

以上の手法を用いることにより、半導体層と強磁性金属またはハーフメタルとの間のショットキー高さを考慮せずに、強磁性ソースと強磁性ドレインとの材料を自由に選択できる。

次に、本発明の第4の実施の形態によるMISFETについて図面を参照しつつ説明を行う。上記第1から3までの実施の形態においては、強磁性金属又はハーフメタルによるショットキー接合を用いて強磁性ソースと強磁性ドレインとを構成したMISFETについて説明したが、本実施の形態によるMISFETは、強磁性ソースと強磁性ドレインとに強磁性半導体を用いた構造を有している。このようにすることで、ショットキー接合を用いなくても、第1から3の実施の形態によるMISFETと同様の特性を得ることが期待できる。

例えば、図13(A)に示すように、チャネル領域として真性半導体31を用い、真性半導体31上にゲート絶縁体41とゲート(電極)37とを積層した構成を有するMISFETにおいて、強磁性ソース33と強磁性ドレイン35とをn型の強磁性半導体とすれば、上記MISFET(例えば図2(A))と同様の特性が期待できるnチャネルのMISFETを構成することができる。尚、pチャネルのMISFETを形成する場合には、強磁性ソースと強磁性ドレインとをp型の強磁性半導体とすれば良い。

次に、本発明の第5の実施の形態によるMISFETについて図面を参照しつつ説明を行う。本実施の形態によるMISFETは、強磁

性半導体と半導体とのpn接合を用いて強磁性ソースと強磁性ドレインとを構成する（この場合では、MISFETは反転チャネル型として動作する）。例えば、図13(B)に示すように、n型の強磁性半導体をソース53とドレイン55とに用い、チャネル領域を含む半導体層51をp型半導体とすれば良い。この場合も、p型半導体層51上に、ゲート絶縁膜61と、ゲート（電極）57と、を積層する。同様にp型の強磁性半導体をソースとドレインとに用いてチャネル領域をn型半導体としても良い。

本発明の第4又は第5の実施の形態において説明したように、強磁性半導体によって強磁性ソースと強磁性ドレインとを構成する場合でも、ドレインにおけるスピン依存散乱によって、ドレイン電流はソースとドレインとが平行磁化と反平行磁化の場合で異なる。また、チャネル長がキャリアのエネルギー緩和に対する平均自由行程以下であれば、キャリアのバリスティック伝導に基づき、トンネル磁気抵抗効果と類似のスピン依存伝導が得られ、このような場合には、平行磁化と反平行磁化とにおける伝達コンダクタンスの変化を大きくすることができる。

第4及び第5の実施の形態によるMISFETに用いる強磁性半導体としては、Si、Ge、 $\text{Si}_x\text{Ge}_{1-x}$ 、SiCなどの半導体にMnやCrなどの遷移金属元素や希土類元素を導入したものが考えられる。

次に、上記各実施の形態によるMISFETの出力特性例について説明する。図8は V_{GS} をパラメータとしたドレイン電流 I_D の V_{DS} 依存性を示す図である。本実施の形態によるMISFETでは、強磁性ソース3および強磁性ドレイン5に強磁性金属又はハーフメタルのいずれを用いた場合でも、また反転チャネル型と蓄積チャネル型のい

ずれの場合においても、ゲート電極 7 に対してデバイス構造から決まるあるしきい値 V_T 以下の電圧を印加した場合は M I S F E T は遮断状態である。これは強磁性ソース 3 と強磁性ドレイン 5 の相対的な磁化状態によらない。

ゲート電極 7 に対してしきい値以上の電圧 V_1 ($> V_T$) を印加すれば、トランジスタを導通状態にすることができる。このとき、強磁性ソース 3 に対する強磁性ドレイン 5 の相対的な磁化状態によって、強磁性ソース 3 と強磁性ドレイン 5 間に生じるドレイン電流 I_D の大きさが異なる。すなわち、同一バイアス下であっても平行磁化の場合ではドレイン電流 I_D が大きく (図中の I_{D11})、反平行磁化の場合ではドレイン電流 I_D が小さい (図中の I_{D12})。この特徴を換言すれば、M I S F E T の伝達 (相互) コンダクタンスを強磁性ソース 3 と強磁性ドレイン 5 との間の磁化状態で制御することと等価である。したがって、本実施の形態の M I S F E T は、ゲート電極 7 に印加する電圧によりドレイン電流 I_D を制御できるとともに、強磁性ソース 3 に対する強磁性ドレイン 5 の相対的な磁化状態に依存する伝達コンダクタンスを合わせ持つ。

強磁性体では、外部から保磁力以上の磁場が印加されない限り磁化の方向を保持することができる。このため、本実施の形態による M I S F E T では、強磁性ソースと強磁性ドレインとの相対的な磁化状態を平行磁化または反平行磁化にすることによって 2 値の情報を記憶することができる。

また、上記 M I S F E T は、上述のように、ドレイン電流の大きさ、または、伝達コンダクタンスの大きさに基づいて、強磁性ソースと強磁性ドレインとの間の相対的な磁化状態を電気的に検出することができる。従って、上記 M I S F E T は、1 つの M I S F E T により 1

ビットの不揮発性メモリセルを構成することができる。

図9(a)は、本実施の形態によるMISFETを用いたメモリ回路の一構成例を示す図である。図9(a)に示すメモリ回路では、MISFETを多数マトリクス状に配置し、ソース端子Sを接地してドレイン端子Dとゲート端子Gとをそれぞれ読み出し用ビット線BLと読み出し用ワード線WLとに接続している。また、書き換え用ワード線と書き換え用ビット線を、上記MISFET上で他の配線と電氣的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ビット線として、上記の読み出し用ビット線BLと読み出し用ワード線WLとを併用しても良い。図9(a)は、併用した場合のセル構成を示す図である。図9(a)の場合では、MISFET単体でメモリセルを構成できるとともに、配線に関しても非常に単純な構成にすることができる。

従来の構成によるMRAMのメモリセルは、1つのMTJと1つのMISFETと4本の配線(図10参照)の構成を有しており、MTJおよび書き換え用ワード線の存在によってソースを隣り合ったセルで共用してセル面積を小さくするなどの工夫が困難であった。これに対して、本実施の形態によるメモリセルでは、図9(a)に示すように、1つのMISFETと3本の配線のみの最も単純な構成でメモリセルを構成することができるため、微細化に適したレイアウトを容易に構成することができる。

例えば、2つの本実施の形態によるMISFETの強磁性ソースを1つの強磁性ソースで共通とした構造を形成することも可能である。図11は、共通ソース構成を有するメモリセルの断面構造例を示す図である。図11に示すメモリセル構造は、互いに隣接する第1MISFETと第2MISFETと、第1MISFETのゲート電極G1と

第2 M I S F E T のゲート電極 G 2 とを共通接続するワード線 W L と、第1 M I S F E T の第1の強磁性ドレイン D 1 と接続する第1ビット線 B L 1 と、第2の強磁性ドレイン D 2 と接続する第2ビット線 B L 2 と、第1及び第2 M I S F E T に共通の強磁性ソース S と、これを接地する配線とを有する。上記構造を用いると、ソースを共通とするために、さらに高密度化に適したセル構成となる。

以下、図9 (a) を用いて、メモリセルの動作を説明する。上述した書き換え／読み出し用ビット線および書き換え／読み出し用ワード線をそれぞれ共用する場合として、単に、それぞれビット線 B L 、ワード線 W L と呼ぶ。情報の書き換えは、本実施の形態による M I S F E T における強磁性ソース 3 または強磁性ドレイン 5 の保持力を変えておくか一方の磁化方向を固定しておき、強磁性ソース 3 に対する強磁性ドレイン 5 の相対的な磁化方向を平行磁化または反平行磁化にすることによって行うことができる。例えば、平行磁化または反平行磁化の磁化状態を“0”または“1”の2値の情報に対応させる。具体的には、選択したメモリセル上で交差するビット線 B L とワード線 W L とに電流を流し、それぞれの配線に流れる電流によって誘起される磁界の合成磁界によって選択されたメモリセルの保持力の小さな強磁性体または磁化方向の固定されていない強磁性体の磁化を反転させて情報を記憶する。この際、選択したセルと同一のビット線 B L 又はワード線 W L に接続している非選択セルが磁化反転しないようにするため、一方の配線のみからの磁界では磁化反転を生じないようにそれぞれの配線に流す電流値を設定しておく。

情報の読み出しは、選択セルに接続されたワード線 W L に電圧を印加して本実施の形態による M I S F E T を導通させてから、ビット線 B L にドレイン電圧を印加してドレイン電流 I_D の大きさを検出する。

本実施の形態によるM I S F E Tでは、強磁性ソースと強磁性ドレインとの相対的な磁化状態が平行磁化の場合では伝達コンダクタンスが大きく、大きな I_D を生じるが、反平行磁化の場合では伝達コンダクタンスが小さく I_D も小さい。従って、 I_D の大きさに基づき、強磁性ソースと強磁性ドレインとの相対的な磁化状態を検出することができる。また、プリチャージによって必要なバイアスを加えても検出を行っても良い。

通常のM T Jにおいて、平行磁化における電流は両強磁性電極における多数スピンの状態密度間のトンネルと少数スピンの状態密度間のトンネルによって生じ、反平行磁化の場合では少数スピンの状態密度から多数スピンの状態密度へのトンネルと多数スピンの状態密度から少数スピンの状態密度へのトンネルによって生じる。従って、平行磁化および反平行磁化の場合に流れる電流に少数スピンによる電流成分が含まれるため、平行磁化と反平行磁化とのそれぞれの場合における電流の比は、容易には大きくできない。

一方、本実施の形態によるハーフメタルを強磁性ソースと強磁性ドレインとに用いたM I S F E Tでは、ハーフメタルと半導体層との接合によって強磁性ソースでは金属的スピンバンドに属する一方のスピンのみをチャンネルに注入することができ、さらに、強磁性ドレインでは金属的スピンバンドのスピンと平行なスピンのみをチャンネルから取り出しドレイン電流とすることができる（以下、このハーフメタルによる作用を「スピントフィルタ効果」と称する。）。。

従って、本実施の形態によるハーフメタルを強磁性ソースと強磁性ドレインに用いたM I S F E Tでは、平行磁化と反平行磁化とのそれぞれの場合における電流の比（ドレイン電流比）は、M T Jの場合における電流比に比べて大きくすることができる。よって、本実施の形

態によるM I S F E Tを用いれば、上記メモリ回路において容易に磁化状態を検出することができる。

また、強磁性金属を用いて強磁性ソースと強磁性ドレインを構成する場合でも、ゲートバイアスによるソース側ショットキー障壁に発生する強い電界の効果によって、強磁性ソースから注入するキャリアのスピンの分極率（スピン注入効率）を強磁性金属のスピンの分極率以上に増大できる可能性がある。この効果を用いれば、平行磁化と反平行磁化のそれぞれの場合におけるドレイン電流の比をMTJにおける電流比に比べて大きくできる可能性がある。

また、MTJではTMR比がバイアス電圧とともに急激に減少するため、回路に必要なバイアス下ではTMR比が大きく減少してしまう問題もあった。これに対して、本実施の形態によるM I S F E Tでは、強磁性金属によるスピン依存散乱またはハーフメタルによるスピンフィルタ効果を用いているためMTJのようなバイアス依存性は原理的に存在しない。従って、回路に必要なバイアス下で大きなドレイン電流比を実現できる。

図9（b）は、図9（a）に示すメモリ回路のビット線端に出力端子 V_o と、この出力端子 V_o から分岐して負荷 R_L を介し電源電圧 V_{DD} に接続したメモリ回路である。図9（c）に、図9（b）に示したメモリセルの静特性と動作点を示す。ここでは、負荷として純抵抗を用いているが、トランジスタによる能動負荷を用いても良い。図9（c）に示すように、情報の読出し時にはM I S F E Tのゲート電極にゲート電圧 V_{GS} を印加し、ビット線BLに負荷抵抗 R_L を介して電源電圧 V_{DD} を印加すれば、負荷抵抗 R_L による動作点は、強磁性ソースと強磁性ドレインとの間の磁化状態に応じて図9（c）中の負荷直線上を動き、平行磁化と反平行磁化との場合の出力信号 V_o はそれぞれ図中

の $V_{\uparrow\uparrow}$ と $V_{\uparrow\downarrow}$ となる。それぞれの出力信号の絶対値および比 ($V_{\uparrow\uparrow} / V_{\uparrow\downarrow}$) は、 R_L 、 V_{DD} などの外部回路のパラメータにより最適化することができる。例えば、負荷直線の傾きを調整する（この場合には小さくする）ことにより、ドレイン電流比 $I_{D\uparrow\uparrow} / I_{D\uparrow\downarrow}$ が小さい場合でも大きな出力信号比を得ることができる。従って、本実施の形態による記憶回路では、所望の大きさの出力信号を得ることができるという利点を有する。

以上、説明したように、本発明の実施の形態による強磁性ソースと強磁性ドレインとを備えた M I S F E T によれば、ドレイン電流をゲート電圧で制御できるトランジスタとして機能を備えたとともに、その伝達（相互）コンダクタンスを強磁性ソースと強磁性ドレインとの相対的な磁化の向きによって制御できるという特徴的な特性を併せ持つ。強磁性ソースと強磁性ドレイン間の相対的な磁化の向きはエネルギーを供給しなくても前の状態を保持することができるいわゆる不揮発性の性質を有する。従って、この相対的な磁化の向きによって 2 値の情報を不揮発性に記憶することができる。さらに、上述の伝達特性を用いれば、この相対的な磁化の向きを電氣的に検出することができる。すなわち、上記 M I S F E T は、1 つのトランジスタのみで 1 ビットの非揮発性メモリセルを構成することができる。従って、本実施の形態による M I S F E T を用いれば、不揮発性メモリセルの構成を単純にできるため、不揮発性記憶回路の速度及び集積度を向上させることができるという利点がある。

以上、本発明の実施の形態に沿って説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。例えば、本明細書内において説明したいずれの M I S F E T も、本明細書内で説明した記憶素子、記

憶回路に適用できることは言うまでもない。

産業上の利用可能性

強磁性金属又はハーフメタルを用いたショットキー接合による強磁性ソースと強磁性ドレインとを備えた本発明のM I S F E Tによれば、強磁性ソースに対する強磁性ドレインとの相対的な磁化の向きによって2値の情報を記憶することができるとともに、この相対的な磁化の向きを電氣的に検出することができる。従って、上記M I S F E Tを用いれば、1つのトランジスタのみで1ビットの不揮発性メモリセルを構成することができるため、高速かつ高集積密度の不揮発性記憶回路の実現が可能になる。

請 求 の 範 囲

1. スピン偏極した伝導キャリア（以下、「スピン偏極伝導キャリア」と称する。）を注入する強磁性体からなるソース（以下、「強磁性ソース」と称する。）と、

該強磁性ソースから注入されたスピン偏極伝導キャリアを受ける強磁性体からなるドレイン（以下、「強磁性ドレイン」と称する。）と、

前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインとのそれぞれの接合界面においてショットキー障壁を有するショットキー接合を形成する半導体層と、

前記半導体層に対して形成されるゲート電極とを有するトランジスタ。

2. 前記強磁性ソース又は前記強磁性ドレインの磁化の方向を反転させることによって、前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化の向きを同方向（以下、「平行磁化」と称する。）又は反対方向（以下、「反平行磁化」と称する。）に制御できることを特徴とする請求の範囲第1項に記載のトランジスタ。

3. 前記強磁性ソース及び前記強磁性ドレインは、強磁性金属により形成されていることを特徴とする請求の範囲第1項又は第2項に記載のトランジスタ。

4. 前記スピン偏極伝導キャリアの伝導型が前記半導体層と同じ場合（以下、「蓄積チャネル型」と称する。）において、前記スピン偏極伝導キャリアが電子の場合では前記ショットキー障壁は伝導バンド側に生じ、前記スピン偏極伝導キャリアが正孔の場合では前記ショットキー障壁は価電子バンド側に生じることを特徴とする請求の範囲第

1 項から第 3 項までのいずれか 1 項に記載のトランジスタ。

5. 前記スピン偏極伝導キャリアの伝導型が前記半導体層と異なる場合（以下、「反転チャネル型」と称する。）における、前記半導体層に反転層が形成されていない場合において、前記スピン偏極伝導キャリアが電子の場合では前記ショットキー障壁は価電子バンド側に生じ、前記スピン偏極伝導キャリアが正孔の場合では前記ショットキー障壁は伝導バンド側に生じることを特徴とする請求の範囲第 1 項から第 3 項までのいずれか 1 項に記載のトランジスタ。

6. 前記蓄積チャネル型における前記ゲート電極と前記強磁性ソースとの間に電圧を印加しない状態において、前記スピン偏極伝導キャリアは前記ショットキー障壁によって前記半導体層へのトンネルおよび熱放出による注入が抑制されることを特徴とする請求の範囲第 4 項に記載のトランジスタ。

7. 前記蓄積チャネル型において、前記ゲート電極に対して電圧を印加することにより、前記強磁性ソースの前記スピン偏極伝導キャリアは、前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることにより前記半導体層へ注入されることを特徴とする請求の範囲第 4 項又は第 6 項に記載のトランジスタ。

8. 前記蓄積チャネル型における、前記ゲート電極に対して電圧を印加しない状態において、前記スピン偏極伝導キャリアは、前記ショットキー障壁によって前記半導体層への熱放出による注入が抑制されるが、前記強磁性ソースの前記スピン偏極伝導キャリアは前記ショットキー障壁をトンネルすることにより前記半導体層へ注入されることを特徴とする請求の範囲第 4 項に記載のトランジスタ。

9. 前記蓄積チャネル型において、前記ゲート電極に対して電圧を印加することにより、前記強磁性ソースの前記スピン偏極伝導キャリア

が前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求の範囲第4項又は第8項に記載のトランジスタ。

10. 前記反転チャネル型における、前記ゲート電極と前記強磁性ソースとの間に電圧を印加しない状態において、前記ショットキー障壁によって、前記スピン偏極伝導キャリアは前記半導体層へのトンネル及び熱放出による注入が抑制されることを特徴とする請求の範囲第5項に記載のトランジスタ。

11. 前記反転チャネル型において、前記ゲート電極に対して印加する電圧により前記半導体層に反転層が形成された場合に、前記強磁性ソースの前記スピン偏極伝導キャリアが熱放出又はトンネルの少なくとも一方により前記半導体層中に注入されることを特徴とする請求の範囲第5項又は第10項に記載のトランジスタ。

12. 前記反転チャネル型における、前記ゲート電極に対して電圧を印加しない状態においても、前記半導体層に反転層が形成されており、前記強磁性ソースの前記スピン偏極伝導キャリアが熱放出又はトンネルの少なくとも一方により前記半導体層中に注入されることを特徴とする請求の範囲第5項に記載のトランジスタ。

13. 前記反転チャネル型において、前記ゲート電極に対して印加する電圧により、前記強磁性ソースの前記スピン偏極伝導キャリアが前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方により注入されることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求の範囲第5項又は第12項に記載のトランジスタ。

14. 前記蓄積チャネル型又は前記反転チャネル型において、前記半

導体層に注入される前記スピン偏極伝導キャリアは、前記強磁性ソースのフェルミエネルギーにおけるスピン分極率に依存してスピン偏極していることを特徴とする請求の範囲第4項から第13項までのいずれか1項に記載のトランジスタ。

15. 前記蓄積チャネル型又は前記反転チャネル型において、

前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が平行磁化である場合に、前記強磁性ソースから注入された前記スピン偏極伝導キャリアの前記強磁性ドレインにおけるスピン依存散乱による電気抵抗が小さく、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きが反平行磁化である場合に、前記スピン偏極伝導キャリアの前記強磁性ドレインにおけるスピン依存散乱による電気抵抗が大きくなることを特徴とする請求の範囲第4項から第14項までのいずれか1項に記載のトランジスタ。

16. 同一バイアス下において、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きにより伝達コンダクタンスを制御できることを特徴とする請求の範囲第1項から第15項までのいずれか1項に記載のトランジスタ。

17. 前記蓄積チャネル型又は前記反転チャネル型において、前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合に、前記ゲート電極に対して印加する電圧により前記強磁性ソースと前記強磁性ドレインとの間に、定められたある電流を生じさせるゲート電圧として定義されるしきい値を有することを特徴とする請求の範囲第4項から第16項までのいずれか1項に記載のトランジスタ。

18. 強磁性体であって、一方のスピンに対しては金属的なバンド構造（以下、「金属的スピンバンド」と称する。）を、他方のスピンに対しては半導体的又は絶縁体的なバンド構造（以下、「半導体的スピン

バンド」と称する。)をとるハーフメタルからなり、スピン偏極した伝導キャリアを注入する強磁性ソースと、

該強磁性ソースから注入されたスピン偏極した前記伝導キャリアを受けるハーフメタルからなる強磁性ドレインと、

前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインのそれぞれと接合した半導体層と、

前記半導体層に対して形成されるゲート電極とを有することを特徴とするトランジスタ。

19. 前記強磁性ソース及び前記強磁性ドレインは、前記ハーフメタルにおける金属的スピンバンドが前記半導体層との界面においてショットキー障壁を有するショットキー接合を形成することを特徴とする請求の範囲第18項に記載のトランジスタ。

20. 前記伝導キャリアの伝導型が前記半導体層と同じ場合(以下、「蓄積チャネル型」と称する。)において、前記伝導キャリアが電子の場合では前記金属的スピンバンドによる前記ショットキー障壁は伝導バンド側に生じ、前記伝導キャリアが正孔の場合では前記金属的スピンバンドによる前記ショットキー障壁は価電子バンド側に生じることを特徴とする請求の範囲第18項又は第19項に記載のトランジスタ

21. 前記伝導キャリアの伝導型が前記半導体層と異なる場合(以下、「反転チャネル型」と称する。)における、前記半導体層に反転層が形成されていない場合において、前記伝導キャリアが電子の場合では前記ショットキー障壁は価電子バンド側に生じ、前記伝導キャリアが正孔の場合では前記ショットキー障壁は伝導バンド側に生じることを特徴とする請求の範囲第18項又は第19項に記載のトランジスタ

タ。

22. 前記強磁性ソース及び前記強磁性ドレインと前記半導体層との接合において、前記ハーフメタルの半導体的スピンバンドのバンドギャップは前記半導体層のバンドギャップより大きいことを特徴とする請求の範囲第18項又は第19項に記載のトランジスタ。

23. 前記強磁性ソース及び前記強磁性ドレインと前記半導体層との接合において、前記ハーフメタルにおける半導体的スピンバンドは前記半導体層に対してエネルギー障壁を形成し、前記伝導キャリアが電子の場合には、少なくとも伝導バンド側にエネルギー障壁を生じ、前記伝導キャリアが正孔の場合には、少なくとも価電子バンド側にエネルギー障壁を生じさせることを特徴とする請求の範囲第18項又は第19項に記載のトランジスタ。

24. さらに、前記強磁性ソース及び前記強磁性ドレインに対して、それぞれ非磁性金属または非磁性伝導体からなるコンタクト（以下、「非磁性コンタクト」と称する。）が形成されていることを特徴とする請求の範囲第18項から第23項までのいずれか1項に記載のトランジスタ。

25. 前記非磁性コンタクトは、前記金属的スピンバンドに対して金属間の接合またはオーミック接合を形成し、前記半導体的スピンバンドに対して半導体的スピンバンドがエネルギー障壁となる金属と半導体間又は金属と絶縁体間の接合構造を形成することを特徴とする請求の範囲第24項に記載のトランジスタ。

26. 前記蓄積チャネル型における、前記ゲート電極と前記強磁性ソースと間に電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記金属的スピンバンドによるショットキー障壁によって、前記半導体層へトンネルおよび熱放出による注入が抑

制されることを特徴とする請求の範囲第20項に記載のトランジスタ。

27. 前記蓄積チャネル型において、

前記ゲート電極に対して電圧を印加することにより、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアは、前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることにより半導体層に注入されることを特徴とする請求の範囲第20項又は第26項に記載のトランジスタ。

28. 前記蓄積チャネル型における、前記ゲート電極に対して電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記ショットキー障壁によって前記半導体層への熱放出による注入が抑制されるが、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアは、前記ショットキー障壁をトンネルすることにより前記半導体層へ注入されることを特徴とする請求の範囲第20項に記載のトランジスタ。

29. 前記蓄積チャネル型において、ゲート電極に対して印加する電圧により、前記強磁性ソースにおける金属的スピンバンドの伝導キャリアが前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求の範囲第20項または第28項に記載のトランジスタ。

30. 前記蓄積チャネル型において、前記強磁性ソースに対して形成された前記非磁性コンタクトから前記強磁性ソースにおける前記半導体的スピンバンドと平行なスピンを有する伝導キャリアは、前記半導体的スピンバンドによる前記非磁性コンタクトに対する前記エネルギー障壁によって前記半導体層へのトンネル及び熱放出による注

入が抑制されていることを特徴とする請求の範囲第20項に記載のトランジスタ。

31. 前記反転チャネル型における、

前記ゲート電極と前記強磁性ソースとの間に電圧を印加しない状態において、前記金属的スピنبンドの前記伝導キャリアは、前記ショットキー障壁によって、前記半導体層へのトンネル及び熱放出による注入が抑制されていることを特徴とする請求の範囲第21項に記載のトランジスタ。

32. 前記反転チャネル型において、

前記ゲート電極に対して電圧を印加することにより前記半導体層に反転層が形成された場合に、前記強磁性ソースにおける前記金属的スピنبンドの伝導キャリアが前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方によって注入されることを特徴とする請求の範囲第21項又は第31項に記載のトランジスタ。

33. 前記反転チャネル型における、前記ゲート電極に対して電圧を印加しない状態においても、前記半導体層に反転層が形成されており、前記強磁性ソースにおける前記金属的スピنبンドの前記伝導キャリアが熱放出又はトンネルの少なくとも一方により前記半導体層中に注入されることを特徴とする請求の範囲第21項に記載のトランジスタ。

34. 前記反転チャネル型において、

前記ゲート電極に対して印加する電圧により、前記強磁性ソースにおける前記金属的スピنبンドの伝導キャリアが前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方によって注入されることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求の範囲第21

項又は第 3 3 項に記載のトランジスタ。

3 5. 前記反転チャネル型において、前記強磁性ソースに対して形成された前記非磁性コンタクトから前記強磁性ソースにおける前記半導体的スピنبンドと平行なスピンを有する伝導キャリアは、前記半導体的スピنبンドによる前記非磁性コンタクトに対する前記エネルギー障壁によって、前記半導体層へトンネル及び熱放出による注入が抑制されることを特徴とする請求の範囲第 2 1 項に記載のトランジスタ。

3 6. 前記蓄積チャネル型又は前記反転チャネル型において、

前記強磁性ソースの前記金属的スピنبンドから前記半導体層へ注入された一方のスピンを持つ伝導キャリアと、前記強磁性ソースに対して形成された前記非磁性コンタクトから前記強磁性ソースの前記半導体的スピنبンドを介して前記半導体層へ注入されたもう一方のスピンを持つ伝導キャリアとの存在比で決まる伝導キャリアのスピンの偏極率を、前記強磁性ソースにおける前記半導体的スピنبンドのエネルギーギャップまたは前記非磁性コンタクトから見た前記強磁性ソースの半導体的スピنبンドによる障壁高さまたは前記強磁性ソースの膜厚で制御できることを特徴とする請求の範囲第 2 0 項又は第 2 1 項に記載のトランジスタ。

3 7. 前記蓄積チャネル型又は前記反転チャネル型において、

前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が平行磁化である場合に、前記強磁性ソースの前記金属的スピنبンドから前記半導体層へ注入された伝導キャリアが前記強磁性ドレインの前記金属的スピنبンドを伝導することができ、

前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が反平行磁化である場合に、前記強磁性ソースの前記金属的スピنبン

ドから前記半導体層へ注入された前記伝導キャリアが前記強磁性ドレインにおける前記半導体的スピンバンドによるエネルギー障壁によって伝導が抑制されることを特徴とする請求の範囲第20項から第36項までのいずれか1項に記載のトランジスタ。

38. 前記蓄積チャネル型又は前記反転チャネル型において、

前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合に、ゲート電極に対して印加する電圧によって前記強磁性ソースと前記強磁性ドレインとの間に定められたある電流を生じさせるゲート電圧として定義されるしきい値を有することを特徴とする請求の範囲第20項から第37項までのいずれか1項に記載のトランジスタ。

39. 同一バイアス下において、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きにより伝達コンダクタンスを制御できることを特徴とする請求の範囲第18項から第38項までのいずれか1項に記載のトランジスタ。

40. 前記強磁性ソース及び前記強磁性ドレインは、前記半導体層に成長又は堆積により形成されることを特徴とする請求の範囲第1項から第39項までのいずれか1項に記載のトランジスタ。

41. 前記強磁性ソース及び前記強磁性ドレインは、前記半導体層中に磁性元素を導入することによって形成されることを特徴とする請求の範囲第1項から第39項までのいずれか1項に記載のトランジスタ。

42. 請求の範囲第1項から第41項までのいずれか1項に記載の1つのトランジスタを用いて、前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化の方向によって情報を記憶し、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の方向に依存するトランジスタの伝達コンダクタンスに基づいて前記トランジスタ内に記憶

された情報を検出することを特徴とする記憶素子。

43. 請求の範囲第1項から第41項までのいずれか1項に記載の1つのトランジスタと、

前記ゲート電極と接続する第1の配線と、

前記強磁性ドレインと接続する第2の配線と、

前記強磁性ソースを接地する第3の配線と

を有する記憶素子。

44. 請求の範囲第1項から第41項までのいずれか1項に記載の1つのトランジスタと、

前記ゲート電極と接続する第1の配線と、

前記強磁性ドレインと接続する第2の配線と、

前記強磁性ソースを接地する第3の配線と、

前記第2の配線の一端に形成される出力端子と、

前記第2の配線から分岐し負荷を介して電源と接続する第4の配線と

を有する記憶素子。

45. さらに、前記トランジスタ上又はその近傍で互いに電氣的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求の範囲第43項又は第44項に記載の記憶素子。

46. 前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記第1の配線および前記第2の配線、又は、前記第1の配線又は前記第2の配線のいずれか一方を用いることを特徴とする請求の範囲第43項又は第44項に記載の記憶素子。

47. 前記第1の別配線及び前記第2の別配線、又はこれらを置き換

えた前記第 1 の配線及び前記第 2 の配線、又は前記第 1 の別配線又は前記第 2 の別配線のいずれか一方を置き換えた前記第 1 の配線又は前記第 2 の配線及びこれらに置き換えられなかった方の前記第 1 の別配線又は前記第 2 の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は前記強磁性ドレインの磁化を反転させ、前記強磁性ソースと前記強磁性ドレインとの間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求の範囲第 4 5 項又は第 4 6 項に記載の記憶素子。

48. 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合における前記しきい値以上の大きな電圧を前記第 1 の配線に対して印加し、前記強磁性ソースと前記強磁性ドレインとの間に所定のバイアスを印加した場合の前記トランジスタにおけるドレイン電流の大きさに基づき情報の読み出しを行うことを特徴とする請求の範囲第 4 3 項から第 4 7 項に記載の記憶素子。

49. 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合におけるしきい値より大きな電圧を前記第 1 の配線を介して前記ゲート電極に対して印加した場合の前記トランジスタにおけるドレイン電流によって生じる前記負荷による電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求の範囲第 4 4 項から第 4 7 項までのいずれか 1 項に記載の記憶素子。

50. マトリックス状に配置された請求の範囲第 1 項から第 4 1 項までのいずれか 1 項に記載のトランジスタと、

前記強磁性ソースをそれぞれ接地する第 1 の配線と、

列方向に並ぶ複数の前記トランジスタのそれぞれのゲート電極を共通に接続する複数のワード線と、

行方向に並ぶ前記トランジスタのそれぞれの強磁性ドレインを共

通に接続する複数本のビット線と
を有する記憶回路。

5 1. マトリックス状に配置された請求の範囲第 1 項から第 4 1 項までのいずれか 1 項に記載のトランジスタと、

前記強磁性ソースをそれぞれ接地する第 1 の配線と、

列方向に並ぶ複数の前記トランジスタのそれぞれのゲート電極を
共通に接続する複数本のワード線と、

行方向に並ぶ前記トランジスタのそれぞれの強磁性ドレインを共
通に接続する複数本のビット線と、

該ビット線のそれぞれの一端に形成される出力端子と、

該ビット線からそれぞれ分岐し負荷を介して電源に接続する第 2
の配線と

を有する記憶回路。

5 2. さらに、前記トランジスタ上又はその近傍で互いに電氣的に絶
縁された状態で交差する第 1 の別配線及び第 2 の別配線とを有する
ことを特徴とする請求の範囲第 5 0 項又は第 5 1 項に記載の記憶回
路。

5 3. 前記第 1 の別配線および前記第 2 の別配線、又は、前記第 1 の
別配線又は前記第 2 の別配線のいずれか一方に代えて、前記ワード線
および前記ビット線、又は、前記ワード線又は前記ビット線のいずれ
か一方を用いることを特徴とする請求の範囲第 5 2 項に記載の記憶
回路。

5 4. 前記第 1 の別配線及び前記第 2 の別配線、又はこれらを置き換
えた前記ワード線及び前記ビット線、又は前記第 1 の別配線又は前記
第 2 の別配線のいずれか一方を置き換えた前記ワード線又は前記ビ
ット線及びこれらに置き換えられなかった方の前記第 1 の別配線又

は第2の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は前記強磁性ドレインの磁化を反転させ、前記強磁性ソースと前記強磁性ドレインとの間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求の範囲第50項から第53項までのいずれか1項に記載の記憶回路。

55. 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合における前記しきい値より大きな電圧を前記ワード線に対して印加し、前記強磁性ソースと前記強磁性ドレインとの間に所定のバイアスを印加した場合の前記トランジスタにおけるドレイン電流の大きさに基づき、情報の読み出しを行うことを特徴とする請求の範囲第50項から第54項までのいずれか1項に記載の記憶回路。

56. 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合における前記しきい値より大きな電圧を前記ワード線を介して前記ゲート電極に対して印加した場合の前記トランジスタにおけるドレイン電流によって生じる前記負荷による電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求の範囲第51項から第54項までのいずれか1項に記載の記憶回路。

57. 前記強磁性ソース又は前記強磁性ドレインの磁化を反転させることにより情報の書き換えを行うことを特徴とする請求の範囲第43項から第55項までのいずれか1項に記載の記憶素子又は記憶回路。

58. 請求の範囲第1項から第41項までのいずれか1項に記載の第1及び第2の2つのトランジスタと、

前記第1のトランジスタのゲート電極と前記第2のトランジスタのゲート電極とを共通接続する第1の配線と、

前記第1のトランジスタが有する第1の強磁性ドレインと接続す

る第2の配線及び第2のトランジスタが有する第2の強磁性ドレインと接続する第3の配線と、

前記第1及び第2のトランジスタに共通の前記強磁性ソースを接地する第4の配線と
を有する記憶素子。

59. 請求の範囲第58項に記載の記憶素子をメモリセルとし、該メモリセルをマトリックス状に配置した構成を有する記憶回路。

60. 前記半導体層として、アンドープの半導体または真性半導体を用いることを特徴とする請求の範囲第1項～第3項までのいずれか1項に記載のトランジスタ。

61. 前記半導体層として、アンドープの半導体または真性半導体を用いることを特徴とする請求の範囲第18項又は第19項に記載のトランジスタ。

62. 前記蓄積チャネル型における前記半導体層として、アンドープの半導体または真性半導体を用いることを特徴とする請求の範囲第4項、第6項～第9項、第14項～第17項、第20項、第22項～第30項、第36項～第41項までのいずれか1項に記載のトランジスタ。

63. 前記反転チャネル型における前記半導体層として、アンドープの半導体または真性半導体を用いることを特徴とする請求の範囲第5項、第10項～第15項、第17項、第21項、第31項～第41項までのいずれか1項に記載のトランジスタ。

64. 前記半導体層におけるキャリアの伝導方向の長さ又は前記強磁性ソースと強磁性ドレインとの間の間隔として定義されるチャネル長として前記半導体層をキャリアがバリスティックに伝導できる長さを有するか、又は、前記チャネル長がキャリアのエネルギー緩和に

対する平均自由行程以下であることを特徴とする請求の範囲第1項から第39項まで又は第60項、第61項のいずれか1項に記載のトランジスタ。

65. 前記強磁性金属と前記半導体層との界面に、前記半導体層との間にショットキー接合を形成する金属層又は前記強磁性金属との間にショットキー接合を形成する半導体層、あるいは、金属／半導体ショットキー接合層を有することを特徴とする請求の範囲第1項から第17項まで、又は第60項又は第64項のいずれか1項に記載のトランジスタ。

66. 前記ハーフメタルと前記半導体層との界面に、前記半導体層との間にショットキー接合を形成する金属層又は前記ハーフメタルとの間にショットキー接合を形成する半導体層、あるいは、金属／半導体ショットキー接合層を有することを特徴とする請求の範囲第18項から第39項まで、又は第61項又は第64項のいずれか1項に記載のトランジスタ。

67. 前記強磁性ソースに対する前記強磁性ドレインが反平行磁化の場合には、平行磁化の場合に比べてドレイン電流が小さくなることを特徴とする請求の範囲第60項から第66項までのいずれか1項に記載のトランジスタ。

68. 前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きにより伝達コンダクタンスを制御できることを特徴とする請求の範囲第60項から第67項までのいずれか1項に記載のトランジスタ。

69. 請求の範囲第60項から第68項までのいずれか1項に記載の1つのトランジスタを用いて、前記強磁性ソースに対する前記強磁性ドレインとの相対的な磁化の方向によって情報を記憶し、前記強磁性

ソースと前記強磁性ドレインとの相対的な磁化の方向に依存するトランジスタの伝達コンダクタンスに基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

70. 前記トランジスタとして、請求項60から68までのいずれか1項に記載のトランジスタを用いることを特徴とする請求の範囲第42項から第49項まで又は第58項のいずれか1項に記載の記憶素子。

71. 前記トランジスタとして、請求の範囲第60項から第68項までのいずれか1項に記載のトランジスタを用いることを特徴とする請求項第50項から第57項まで又は第59項のいずれか1項に記載の記憶回路。

72. 第1導電型を有し、強磁性半導体よりなるソースおよびドレインと、

前記ソースと前記ドレインとに対して設けられ、前記第1導電型のチャンネルが形成される半導体層と、

前記半導体層に対して形成されるゲート電極と、
を有することを特徴とするトランジスタ。

73. 前記半導体層がアンドープの半導体又は真性半導体により形成されていることを特徴とする請求の範囲第72項に記載のトランジスタ。

74. 前記半導体層におけるキャリアの伝導方向の長さ又は前記強磁性ソースと強磁性ドレインとの間の間隔として定義されるチャンネル長として前記半導体層中をキャリアがバリスティックに伝導できる長さを有するか、又は、前記チャンネル長がキャリアのエネルギー緩和に対する平均自由行程以下であることを特徴とする請求の範囲第72項又は第73項に記載のトランジスタ。

75.互いに導電型の異なる第1の強磁性半導体と半導体層との間に形成される第1のpn接合により形成されるソースと、

互いに導電型の異なる第2の強磁性半導体と前記半導体層との間に形成される第2のpn接合により形成されるドレインと、

前記半導体層に対して形成されるゲート電極と、を有することを特徴とするトランジスタ。

76.前記半導体層におけるキャリアの伝導方向の長さ又は前記強磁性ソースと強磁性ドレインとの間の間隔として定義されるチャネル長として前記半導体層中をキャリアがバリスティックに伝導できる長さを有するか、又は、前記チャネル長がキャリアのエネルギー緩和に対する平均自由行程以下であることを特徴とする請求の範囲第75項に記載のトランジスタ。

77.前記強磁性ソースに対する前記強磁性ドレインが反平行磁化の場合には、平行磁化の場合に比べてドレイン電流が小さくなることを特徴とする請求の範囲第72項から第76項までのいずれか1項に記載のトランジスタ。

78.前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きにより伝達コンダクタンスを制御できることを特徴とする請求の範囲第72項から第77項までのいずれか1項に記載のトランジスタ。

79.請求の範囲第72項から第78項までのいずれか1項に記載の1つのトランジスタを用いて、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の方向によって情報を記憶し、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の方向に依存するトランジスタの伝達コンダクタンスに基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

80. 前記トランジスタとして、請求の範囲第72項から第78項までのいずれか1項に記載のトランジスタを用いることを特徴とする請求の範囲第42項から第49項まで、又は第58項のいずれか1項に記載の記憶素子。

81. 前記トランジスタとして、請求の範囲第72項から第78項までのいずれか1項に記載のトランジスタを用いることを特徴とする請求の範囲第50項から第57項まで又は第59項のいずれか1項に記載の記憶回路。

82. スピン偏極した伝導キャリアを注入する強磁性体強磁性ソースと、

該強磁性ソースから注入されたスピン偏極伝導キャリアを受ける強磁性体からなる強磁性ドレインと、

前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインとのそれぞれの接合を形成する半導体層と、

前記半導体層に対して形成されるゲート電極と、を有し、

前記ソースと前記ドレインとのいずれか一方に強磁性金属を、他方にハーフメタルを用いることを特徴とするトランジスタ。

83. 前記ゲート電極と前記半導体層との間に形成されるゲート絶縁膜として、酸化又は堆積により形成された絶縁体を用いることを特徴とする請求の範囲第1項～第41項、第60項～第68項、第72項～第78項、第82項のいずれか1項のトランジスタ。

84. 前記ゲート絶縁膜は、高誘電率材料を含むことを特徴とする請求の範囲第83項に記載のトランジスタ。

85. 前記トランジスタがMISFETであることを特徴とする請求の範囲第1項～第41項、第60項～第68項、第72項～第78項、

第 8 2 項、第 8 4 項のいずれか 1 項のトランジスタ。

8 6 . 前記半導体層に不純物を添加することによりデプリーションモードのトランジスタとして機能することを特徴とする請求の範囲第 1 項～第 3 項、第 8 項、第 9 項、第 1 2 項、第 1 3 項、第 1 8 項、第 1 9 項、第 2 8 項、第 2 9 項、第 3 3 項、第 3 4 項、第 7 2 項～第 7 8 項、第 8 2 項～第 8 5 項のいずれか 1 項に記載のトランジスタ。

図 1

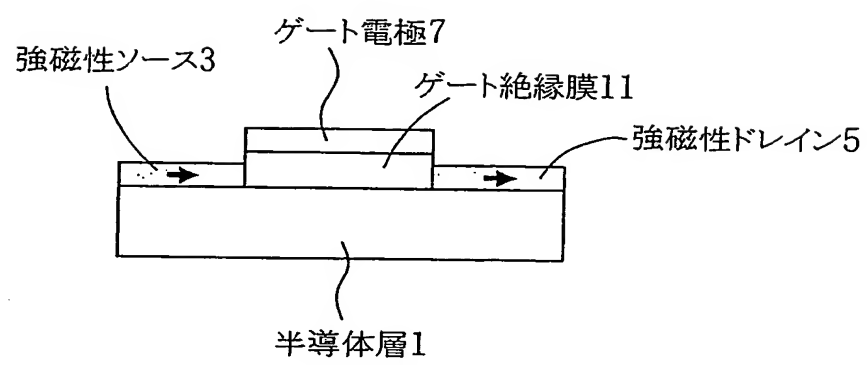


図 2

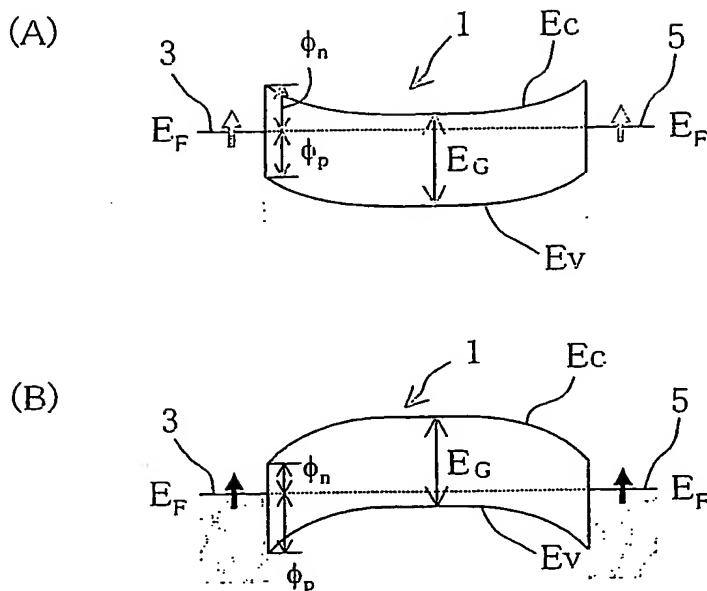


図 3

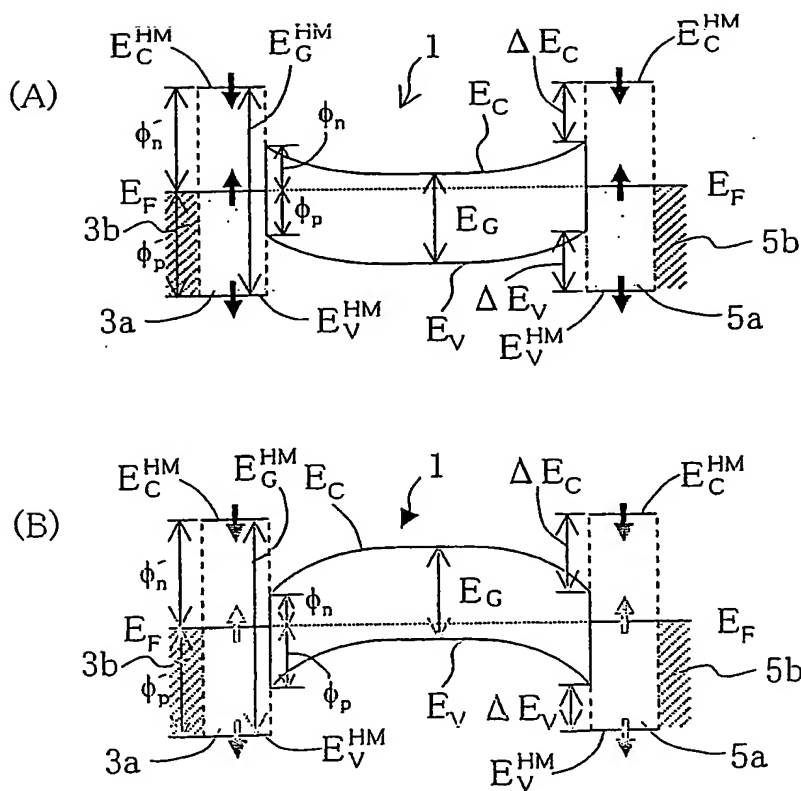
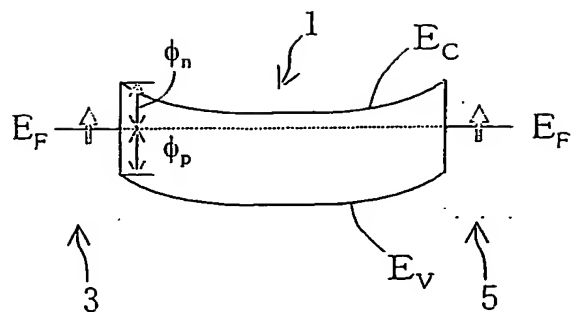
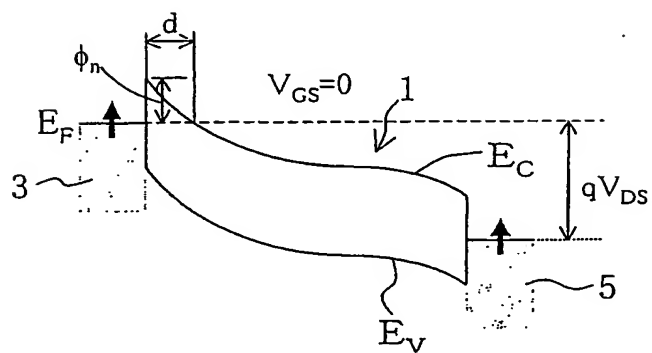


図 4

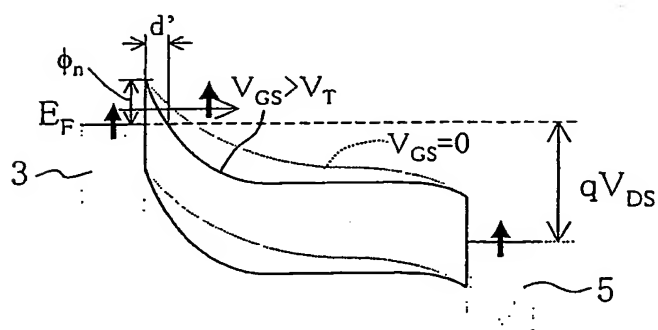
(A)



(B)



(C)



(D)

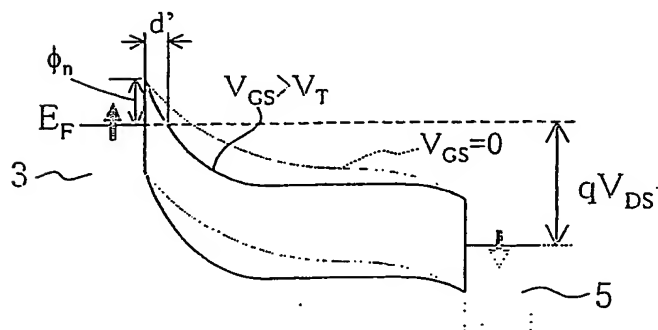


図 5

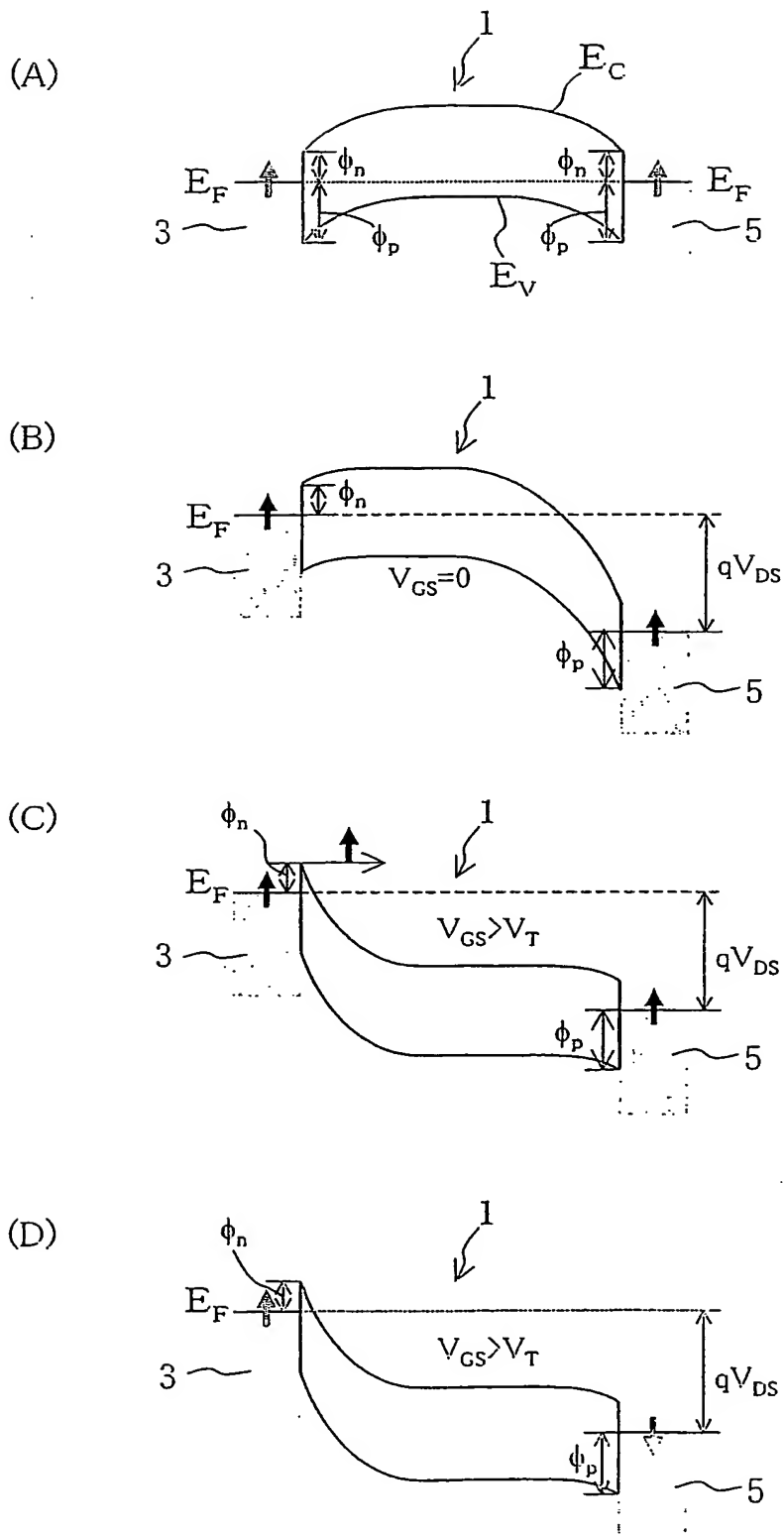


図 6

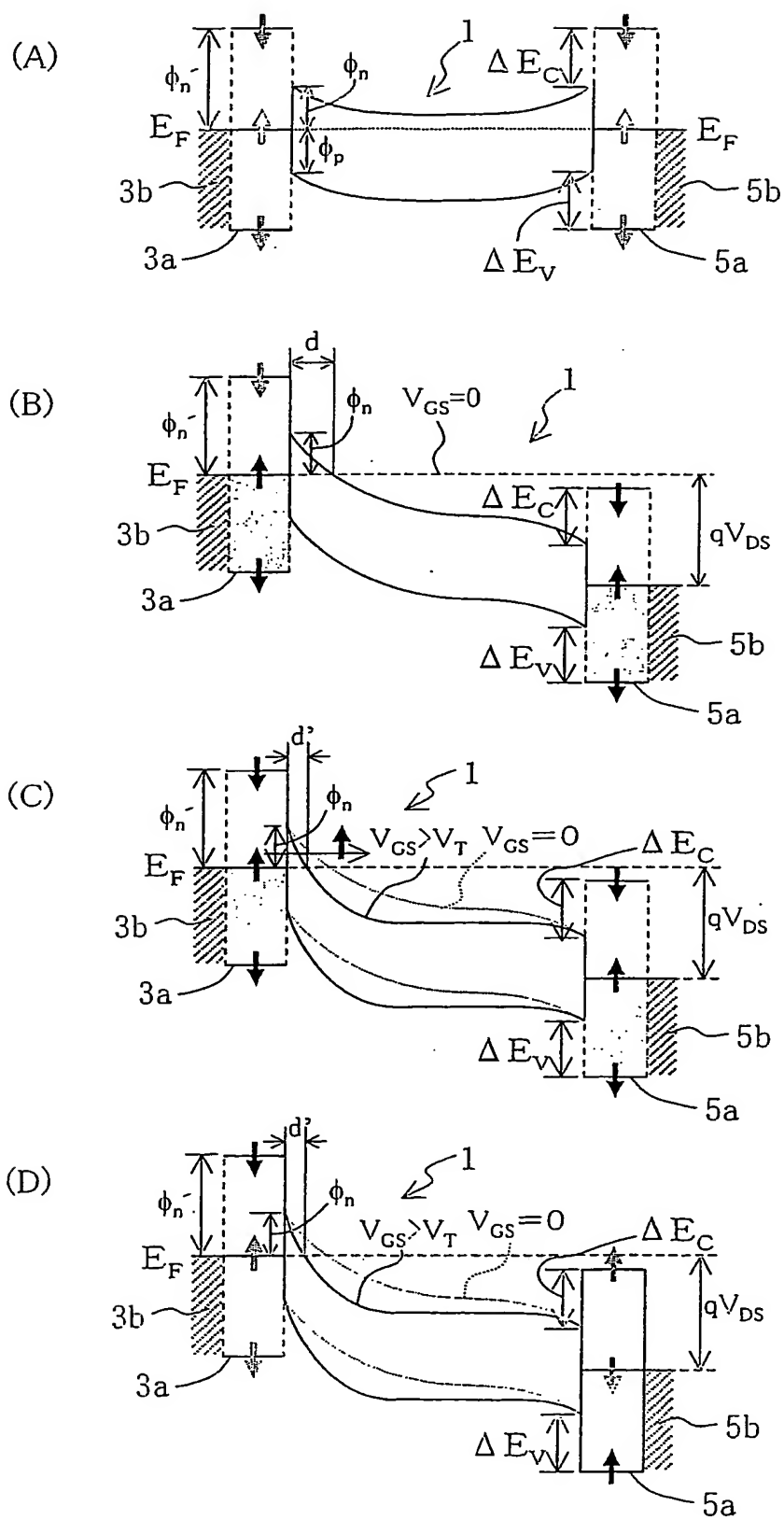


図 7

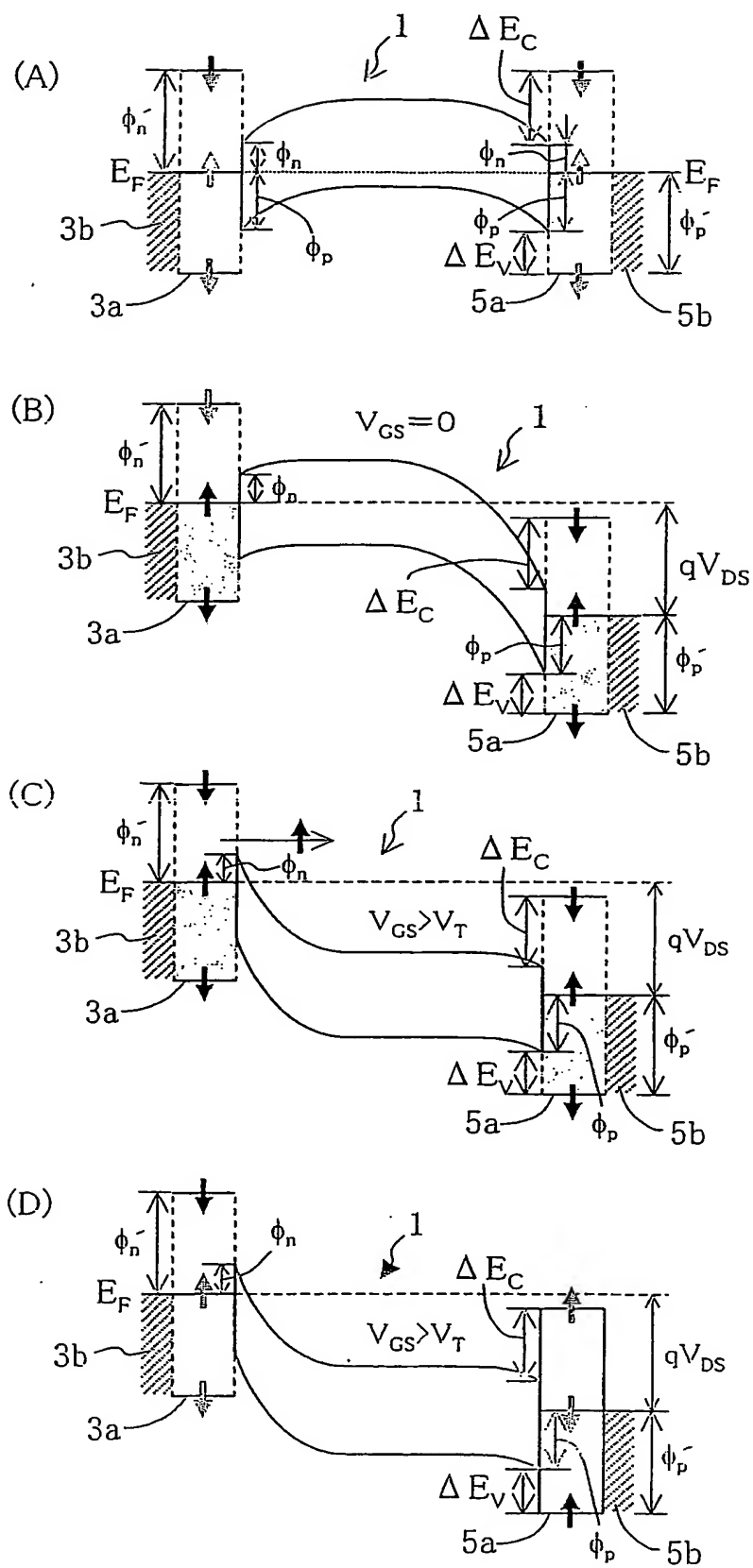


図 8

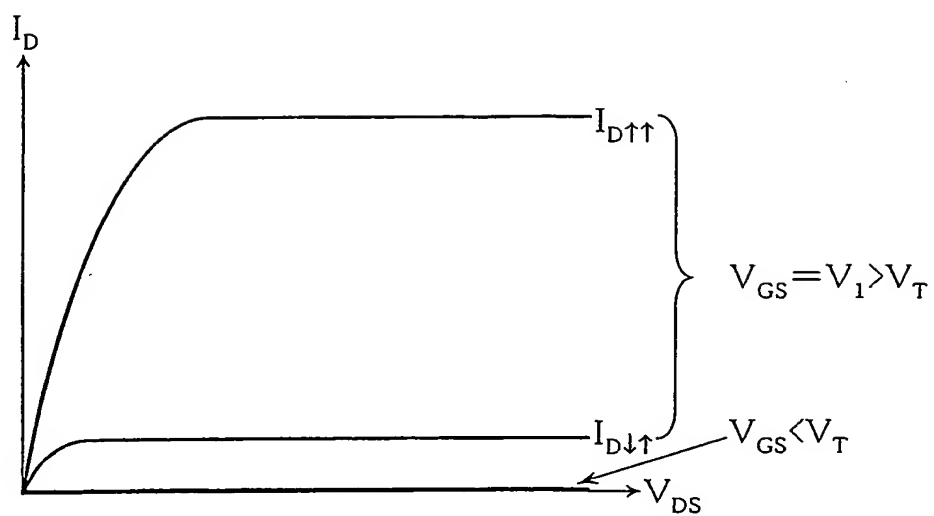
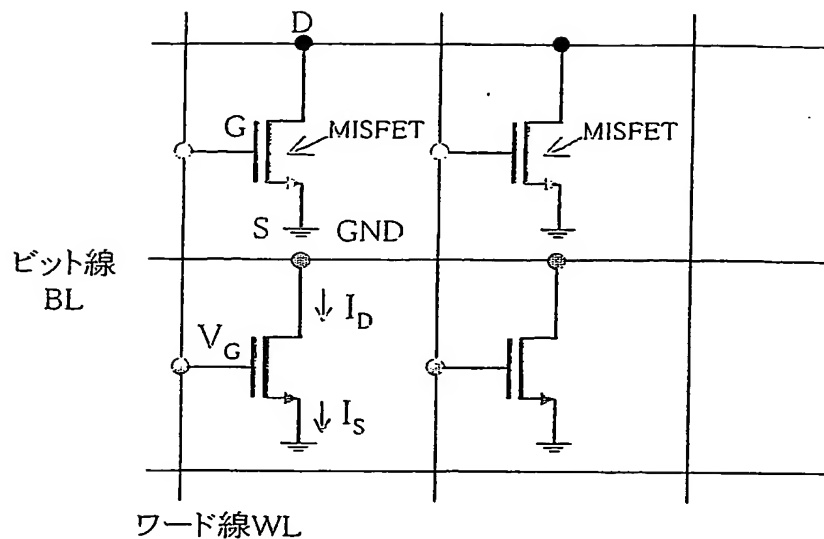
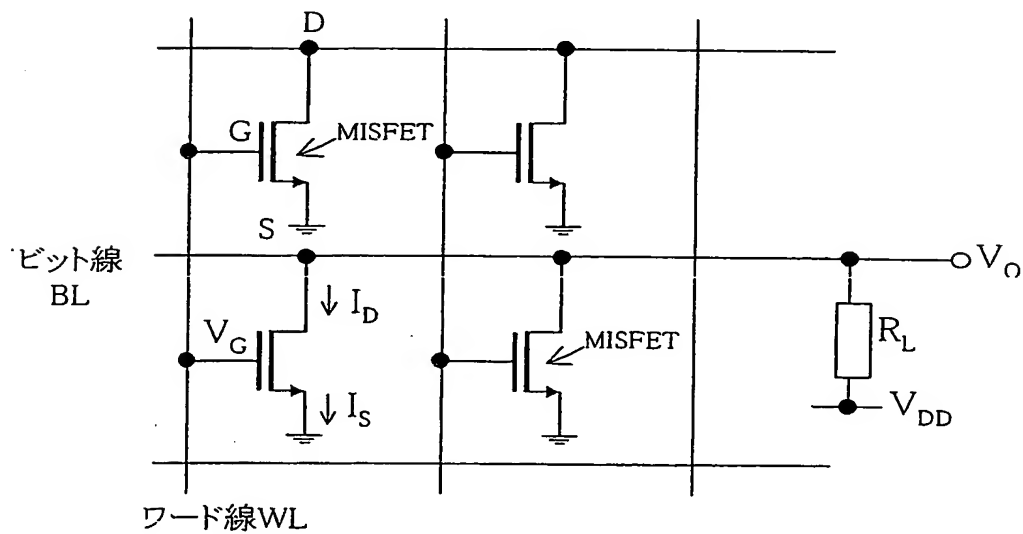


図 9

(a)



(b)



(c)

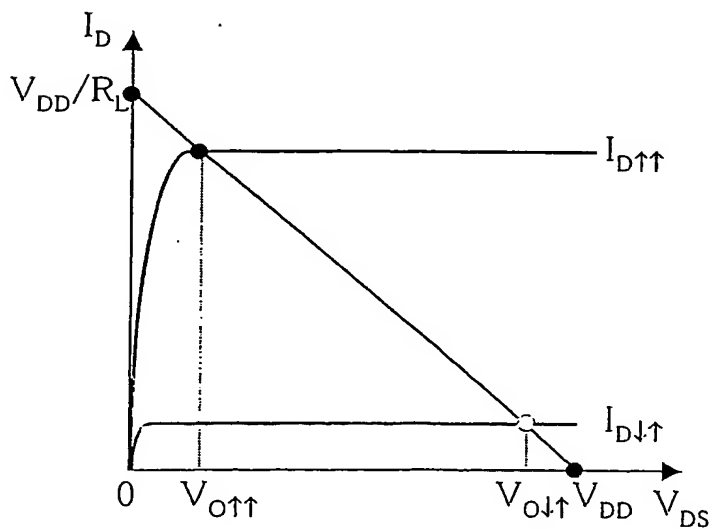


図 10

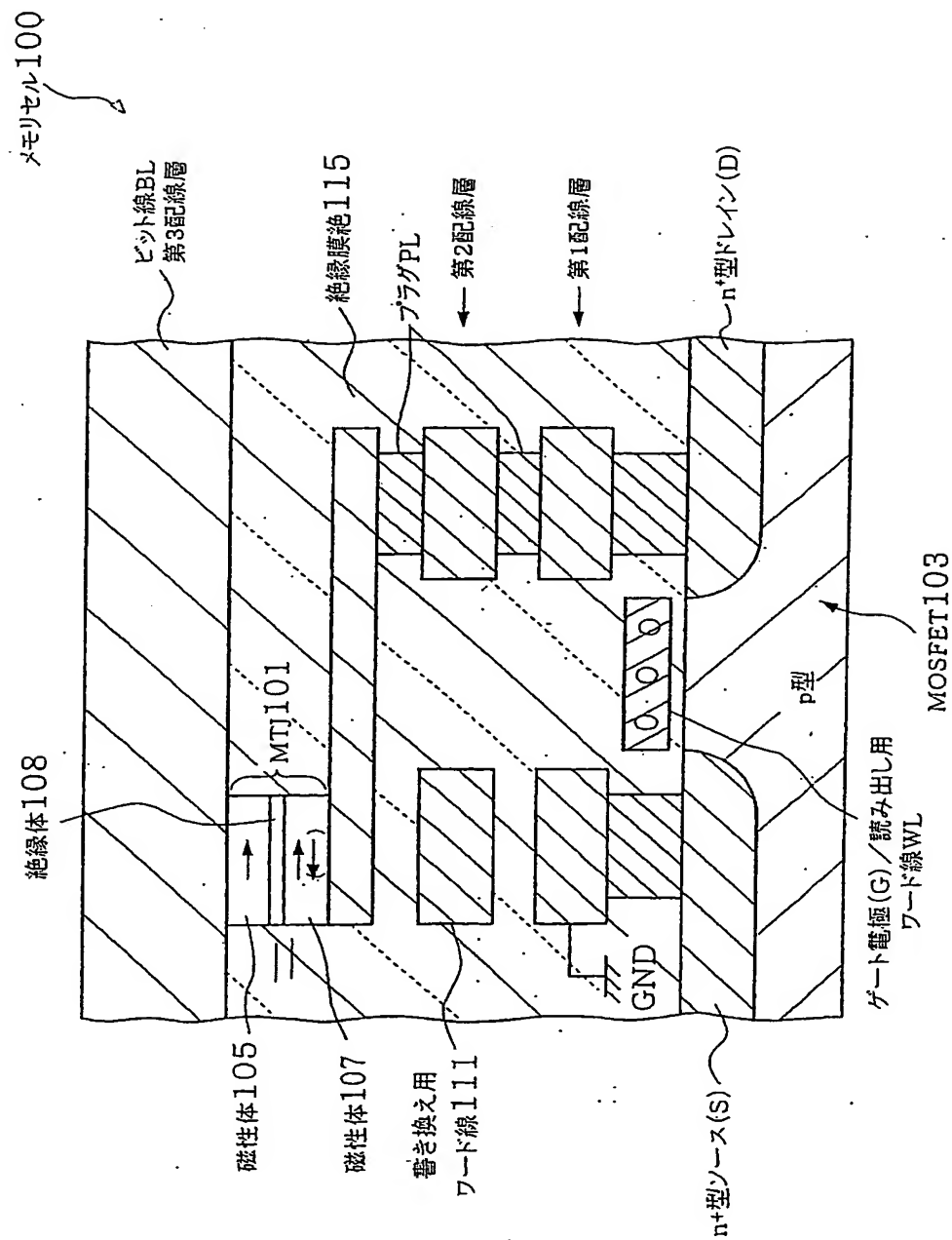


図 11

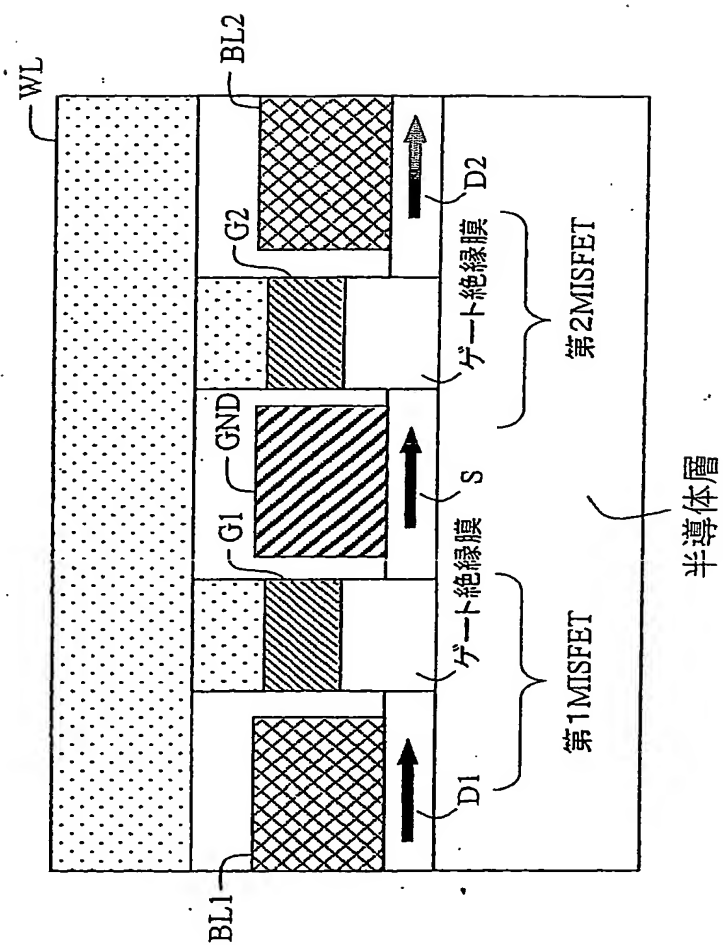


図 12

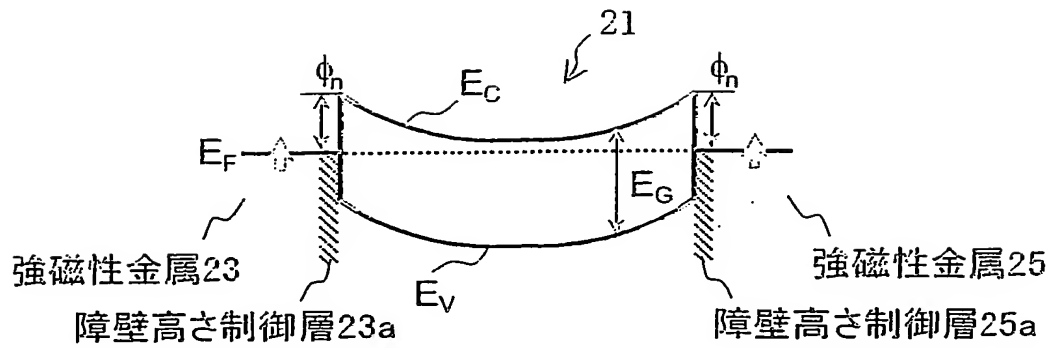
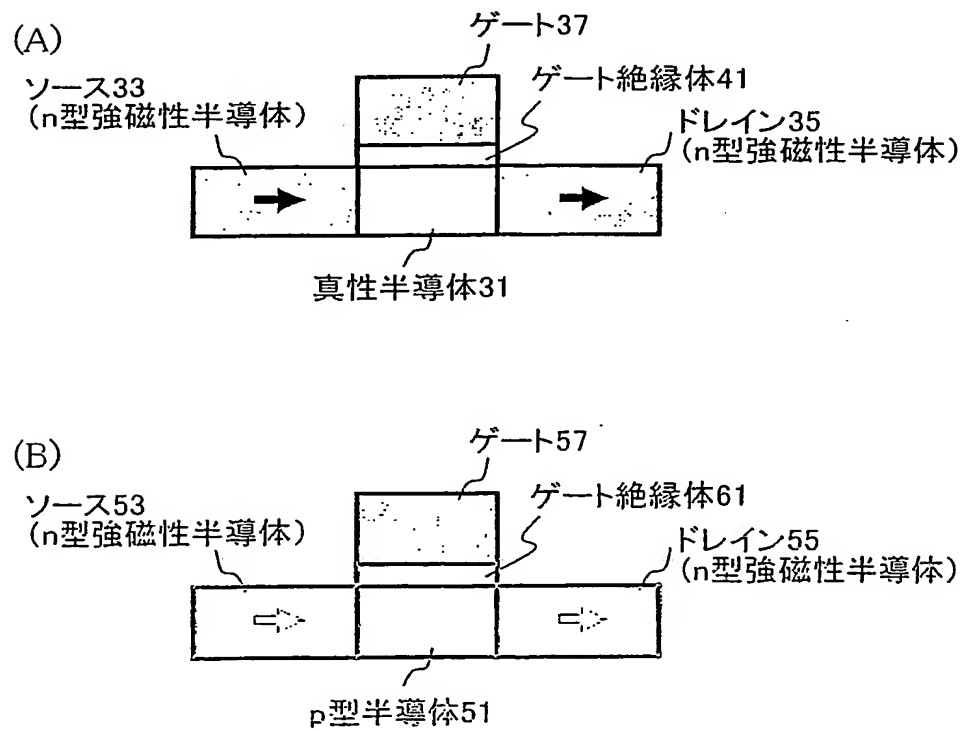


図 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000567

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/82, H01L43/08, H01L27/105

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/82, H01L43/08, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
ISI Web of Science, IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-250998 A (President of Tohoku University), 14 September, 2001 (14.09.01), Full text & US 2001/0031547 A1	1-86
A	JP 10-284765 A (Nippon Steel Corp.), 23 October, 1998 (23.10.98), Full text (Family: none)	1-86
A	JP 2001-093274 A (Toshiba Corp.), 06 April, 2001 (06.04.01), Full text (Family: none)	1-86

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 April, 2004 (19.04.04)

Date of mailing of the international search report
11 May, 2004 (11.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000567

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2004-111904 A (Japan Science and Technology Corp.), 08 April, 2004 (08.04.04), Full text (Family: none)	1-3, 16, 40, 42-44, 46-51, 53-58, 82, 83, 85

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/82, H01L43/08, H01L27/105

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/82, H01L43/08, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
ISI Web of Science
IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-250998 A(東北大学長)2001. 09. 14, 全文 &US 2001/0031547 A1	1-86
A	JP 10-284765 A(新日本製鐵株式会社)1998. 10. 23, 全文 (ファミリーなし)	1-86
A	JP 2001-093274 A(株式会社東芝)2001. 04. 06, 全文 (ファミリーなし)	1-86

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
19. 04. 2004

国際調査報告の発送日
11. 5. 2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 栗野 正明	4M	9353
電話番号 03-3581-1101 内線 3462		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EX	JP 2004-111904 A(科学技術振興事業団)2004. 04. 08, 全文 (ファミリーなし)	1-3, 16, 40, 42-44, 46-51, 53-58, 82, 83, 85

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.